

Itu

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of

YAMAMOTO et al.

Application Number: 10/817,004

Filed: April 5, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND MANUFACTURING METHOD THEREOF

ATTORNEY DOCKET NO. HITA.0536



Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

LETTER

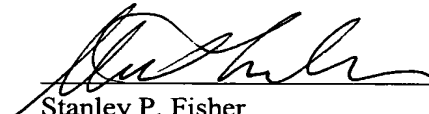
Sir:

The below-identified communications are submitted in the above-captioned application or proceeding:


- | | | |
|---|---------------------------|---|
| <input checked="" type="checkbox"/> (X) | Priority Document (1) | |
| <input checked="" type="checkbox"/> (X) | Request for Priority | <input type="checkbox"/> () Assignment Document |
| <input type="checkbox"/> () | Response to Missing Parts | <input type="checkbox"/> () Petition under 37 C.F.R. 1.47(a) |
| | w/ signed Declaration | <input type="checkbox"/> () Check for \$ |

- ☒ The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to Deposit Account Number 08-1480. A duplicate copy of this sheet is attached.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
June 28, 2004


Juan Carlos A. Marquez
Registration Number 34,072

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of

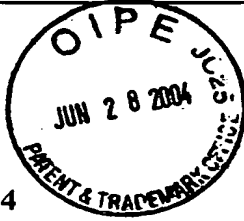
YAMAMOTO et al.

Application Number: 10/817,004

Filed: April 5, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND MANUFACTURING METHOD THEREOF

ATTORNEY DOCKET NO. HITA.0536



Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

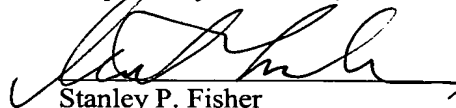
**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of April 16, 2003, the filing date of the corresponding Japanese Patent Application No. 2003-110997.

A certified copy of Japanese Patent Application No. 2003-110997 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
April 5, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 1 6 日

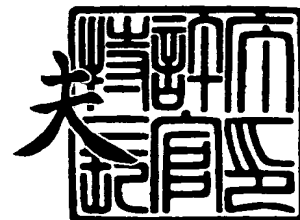
出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 1 0 9 9 7
[ST. 10/C]: [J. P 2 0 0 3 - 1 1 0 9 9 7]

出 願 人
Applicant(s): 株式会社日立製作所

2 0 0 4 年 4 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H03005461A

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/8238

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 山本 直樹

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所デバイス開発センタ内

 【氏名】 只木 芳隆

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所デバイス開発センタ内

 【氏名】 小粥 敬成

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 導電型領域と第 2 導電型領域が素子分離領域で分離され、前記素子分離領域を横断するように前記第 1 導電型領域・第 2 導電型領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され前記第 1 導電型領域上には第 2 導電型のシリコン層が、前記第 2 導電型領域上には第 1 導電型のシリコン層が前記素子分離領域の上で境界部を有して形成され、前記第 1 導電型および第 2 導電型シリコン層の上に形成され前記第 1 導電型および第 2 導電型のシリコン層の境界部の上で分離された第 1 高融点金属窒化膜と、前記第 1 高融点金属窒化膜上に形成され前記第 1 導電型および第 2 導電型のシリコン層の境界部の上で分離された第 1 高融点金属膜とからなるゲート電極構造を少なくとも含むことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において前記第 1 導電型および第 2 導電型シリコン層も分離されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 また 2 に記載の半導体集積回路装置において前記分離された第 1 融点金属窒化膜と第 1 高融点金属の部分に第 2 高融点金属または第 2 高融点金属窒化膜が埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 また 2 に記載の半導体集積回路装置において前記分離された第 1 高融点金属窒化膜と第 1 高融点金属の部分に絶縁物を埋め込み前記埋め込まれた絶縁物上および前記第 1 高融点金属上にチタン窒化物、ジルコニウム窒化物、ハフニウム窒化物のうちの 1 種類の膜もしくはこれらの複合膜からなる層が形成されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 また 2 に記載の半導体集積回路装置において前記第 1 高融点金属窒化膜と前記第 1 導電型および第 2 導電型のシリコン層の間に第 1 高融点金属珪化膜が形成されていることを特徴とする半導体集積回路装置。

【請求項 6】 半導体基板上に形成された第 1 導電型領域と第 2 導電型領域が素子分離領域で分離され、前記素子分離領域を横断するように前記第 1 導電型

領域・第2導電型領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され前記第1導電型領域上には第2導電型のシリコン層が、前記第2導電型領域上には第1導電型のシリコン層が前記素子分離領域の上で境界部を有して形成され、前記第1導電型および第2導電型シリコン層の上に形成された第1高融点金属窒化膜と、前記第1高融点金属窒化膜上に形成された第1高融点金属膜とからなるゲート電極構造において、前記第1導電型および第2導電型シリコン層の境界部の上において前記第1高融点金属窒化物および第1高融点金属膜には炭素が含有されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項6に記載の半導体集積回路装置において前記第1導電型および第2導電型シリコン層の境界部の上において前記第1高融点金属窒化物および第1高融点金属には炭素の代わりに窒素または酸素が含有されていることを特徴とする半導体集積回路装置。

【請求項8】 請求項6または7に記載の半導体集積回路装置において前記第1高融点金属窒化膜と前記第1導電型および第2導電型のシリコン層の間に第1高融点金属珪化膜が形成されていることを特徴とする半導体集積回路装置。

【請求項9】 請求項1または6に記載の半導体集積回路装置において前記第1高融点金属窒化膜と前記第1導電型および第2導電型のシリコン層の間にノンドープのシリコン層またはゲルマニウム含有シリコン層が形成されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項5または8に記載の半導体集積回路装置において前記第1高融点金属珪化物と前記第1導電型および第2導電型のシリコン層の間にノンドープのシリコン層またはゲルマニウム含有シリコン層が形成されていることを特徴とする半導体集積回路装置。

【請求項11】 半導体基板上にゲート電極を形成する方法において、

- (1) 前記半導体基板上に素子分離領域で分離された第1導電型領域と第2導電型領域形成する工程と、
- (2) 前記素子分離領域を横断して前記第1導電型領域・第2導電型領域上にゲート絶縁膜を形成する工程と、
- (3) 前記ゲート絶縁膜上にシリコン層を形成し前記第1導電領域上においては

第2導電型のシリコン層を、前記第2導電領域上においては第1導電型のシリコン層を前記素子分離領域上で境界部が接するようにシリコン層を形成する工程と、

(4) 前記第1導電型および第2導電型シリコン層の上に第1高融点金属窒化膜を形成する工程と、

(5) 前記第1高融点金属窒化膜上に第1高融点金属膜を形成する工程と、

(6) 前記第1高融点金属膜上にシリコン窒化膜を形成し、前記シリコン窒化膜をパターンニングして前記第1導電型および第2導電型のシリコン層の境界部の上の部分を開口する工程と、

(7) 前記パターンニングされたシリコン窒化膜をマスクとして前記第1高融点金属窒化膜と第1高融点金属膜の前記第1導電型および第2導電型のシリコン層の境界部の上の部分を除去する工程とを少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11に記載の半導体集積回路装置の製造方法において前記(3)と(4)の工程の間に、前記第1導電型および第2導電型シリコン層の上に第1高融点金属珪化膜を形成する工程を含み、(7)の工程において前記パターンニングされたシリコン窒化膜により前記第1導電型および第2導電型のシリコン層の境界部の上の部分の前記第1高融点金属珪化膜を除去する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項11または12に記載の半導体集積回路装置の製造方法において前記第1高融点金属窒化膜と第1高融点金属膜または前記第1高融点金属珪化膜の除去された部分に第2高融点金属または第2高融点金属窒化膜を埋め込む工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項11または12に記載の半導体集積回路装置の製造方法において前記除去された第1高融点金属窒化膜と第1高融点金属膜または第1高融点金属珪化膜の部分に絶縁物を埋め込み、前記埋め込まれた絶縁物上および前記第1高融点金属膜上にチタン窒化物、ジルコニウム窒化物、ハフニウム窒化物の1種類の膜もしくはこれらの複合膜からなる層を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 半導体基板上にゲート電極を形成する方法において、

- (1) 前記半導体基板上に素子分離領域で分離された第 1 導電型領域と第 2 導電型領域形成する工程と、
- (2) 前記素子分離領域を横断して前記第 1 導電型領域・第 2 導電型領域上にゲート絶縁膜を形成する工程と、
- (3) 前記ゲート絶縁膜上にシリコン層を形成し前記第 1 導電領域上においては第 2 導電型のシリコン層を、前記第 2 導電領域上においては第 1 導電型のシリコン層を前記素子分離領域上で境界部が接するようにシリコン層を形成する工程と、
- (4) 前記第 1 導電型および第 2 導電型のシリコン層の上にノンドープのシリコン層またはゲルマニウム含有シリコン層を形成する工程と、
- (5) 前記ノンドープのシリコン層またはゲルマニウム含有シリコン層の上に第 1 高融点金属窒化膜を形成する工程と、
- (6) 前記第 1 高融点金属窒化膜上に第 1 高融点金属膜を形成する工程と、
- (7) 前記第 1 高融点金属膜の上にシリコン窒化膜を形成する工程を少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 15 に記載の半導体集積回路装置の製造方法において、工程 (6) の後に前記第 1 高融点金属膜を通して、前記ノンドープのシリコン層またはゲルマニウム含有シリコン層に対して、前記第 1 導電型のシリコン層の上の部分には第 1 導電型の不純物を、前記第 2 導電型のシリコン層の上の部分には第 2 導電型の不純物を注入する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 半導体基板上にゲート電極を形成する方法において、

- (1) 前記半導体基板上に素子分離領域で分離された第 1 導電型領域と第 2 導電型領域形成する工程と、
- (2) 前記素子分離領域を横断して前記第 1 導電型領域・第 2 導電型領域上にゲート絶縁膜を形成する工程と、
- (3) 前記ゲート絶縁膜上にシリコン層を形成し前記第 1 導電領域上においては第 2 導電型のシリコン層を、前記第 2 導電領域上においては第 1 導電型のシリコ

ン層を前記素子分離領域上で境界部が接するようにシリコン層を形成する工程と

、
(4) 前記第1導電型および第2導電型シリコン層の上に第1高融点金属窒化膜を形成する工程と、

(5) 前記第1高融点金属窒化膜上に第1高融点金属膜を形成する工程と、

(6) 前記第1高融点金属膜上にシリコン窒化膜を形成し、前記シリコン窒化膜をパターンニングして前記第1導電型および第2導電型のシリコン層の境界部の上の部分を開口する工程と、

(7) 前記パターンニングされたシリコン窒化膜をマスクとして前記第1高融点金属窒化膜と第1高融点金属膜の前記第1導電型および第2導電型のシリコン層の境界部の上の部分に炭素または窒素または酸素を注入する工程とを少なくとも含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項11または15または17のいずれか1項に記載の半導体集積回路装置の製造方法において前記シリコン窒化膜の形成は700℃～750℃で化学気相蒸着法を用いて5nm～50nmの厚さの第1シリコン窒化膜を形成した後、前記第1シリコン窒化膜上に400℃～650℃でプラズマ化学気相蒸着法を用いて第2シリコン窒化膜を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項11または15または17のいずれか1項に記載の半導体集積回路装置の製造方法において前記シリコン窒化膜の形成はプラズマ化学着相蒸着法を用いて、400℃～650℃で5nm～50nmの厚さの第1シリコン酸化膜を形成した後、前記第1シリコン酸化膜上に400℃～650℃でプラズマ化学気相蒸着法を用いて第2シリコン窒化膜を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項17に記載の半導体集積回路装置の製造方法において、前記第1高融点金属膜の前記炭素または窒素または酸素を注入された部分の上に第2高融点金属膜または第2高融点金属窒化膜を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、多結晶シリコンと高融点金属との積層膜でゲート電極を構成したポリメタル(Polymetal)構造のMISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置の製造および構造に適用して有効な技術に関する。

【0002】

【従来の技術】

従来はゲート電極の低抵抗化のために多結晶シリコン上に反応防止膜である金属窒化膜と高融点金属膜を積層したゲート電極構造であるポリメタルゲート構造を形成している(たとえば、特許文献1, 2, 3, 4, 5参照)。

【0003】

また多結晶シリコン/反応防止膜である金属窒化膜/高融点金属層の積層構造においてはゲート電極の接触抵抗が大きくなってしまったために反応防止層と多結晶シリコンの間に金属シリサイドを挿入する構造を記載したものがある(たとえば特許文献6参照)。

【0004】

またポリメタルゲート電極構造において高融点金属の酸化防止と多結晶シリコン中のボロンの拡散を防止するゲート電極の酸化技術を記載したものがある(たとえば特許文献7参照)。

【0005】

また、p型多結晶シリコンとn型多結晶シリコンを有するデュアルゲート電極構造においてタングステンシリサイド(タングステンのシリコン化合物)をp型多結晶シリコンとn型多結晶シリコンに積層したポリサイドゲート(polycide gate)構造を形成する場合において、p型多結晶シリコン領域に存在するボロンとn型多結晶シリコン領域のリンが、多結晶シリコン上に形成したタングステンシリコン化合物(タングステンシリサイド)膜を介してお互いの領域に相互に拡散する現象に関して記載したものがある(たとえば非特許文献1)。また上記のp型多結晶シリコンとn型多結晶シリコンの不純物の相互拡散を防止するために

タングステンシリサイド層を分離した構造を記載したものがある（たとえば特許文献 8, 9, 10 参照）。しかしながらタングステンシリサイドを用いないポリメタルゲート構造における同様の不純物の相互拡散については実験データを記述した論文がなく、上記の各公報に少し触れているにすぎない。

【0006】

またポリメタルゲート構造において多結晶シリコン膜上に第 1 のバリアメタル膜のタングステンシリサイド／第 2 のバリアメタル膜のタングステン窒化膜／金属層の順に体積したポリメタルゲート構造において、前記ポリサイドゲートと同様にこのタングステンシリサイド膜を介して多結晶シリコン膜内の不純物が p 型領域および n 型領域の多結晶シリコン膜内に相互に拡散する可能性があるために、これを避けるため第 2 のバリアメタル膜はつないだままにして第 1 のバリアメタル膜であるタングステンシリサイドの一部を分離しておく構造を記載したものがある（たとえば特許文献 11 参照）。

【0007】

特許文献

- 【特許文献 1】 特開昭 60-123060 号公報（第 2 頁、第 2 図）
- 【特許文献 2】 特開昭 61-152076 号公報（第 2 頁、第 1 図）
- 【特許文献 3】 特開平 03-119763 号公報（第 3 頁、第 1 図）
- 【特許文献 4】 特開平 07- 94716 号公報（第 3 頁、第 1 図）
- 【特許文献 5】 特開平 08-264531 号公報（第 3 頁、第 2 図）
- 【特許文献 6】 特開 2001-298186 号公報（第 3 頁、第 1 図）
- 【特許文献 7】 特開平 11-330468 公報（第 5 頁、第 11 図）
- 【特許文献 8】 特開平 06- 5603 号公報（第 3 頁、第 1 図）
- 【特許文献 9】 特開平 09-181194 号公報（第 4 頁、第 1 図）
- 【特許文献 10】 特開平 09-289257 号公報（第 5 頁、第 9 図）
- 【特許文献 11】 特開 2002-217311 号公報（第 4 頁、第 2 図）

非特許文献

- 【非特許文献 1】 0. 25 μm ・W ポリサイド・デュアルゲート・アンド・ベリードメタル・オン・ディフュージョンレイヤー・テクノロジー・フォー・DR

AMエンベデット・ロジックデバイス、1997シンポジウム・オン・VLSIテクノロジー、ダイジェスト・オブ・テクニカルペーパーズ、第23-34ページ、塚本・黒田・岡本 (0.25 μ m W-Polycide Dual Gate and Buried Metal on Diffusion Layer(BMD) Technology for DRAM-Embedded Logic Devices, 1997 Symposium on VLSI Technology, Digest of Technical Papers pp.23-24, M.Tsukamoto, H.Kuroda, Y.Okamoto)

【0008】

【発明が解決しようとする課題】

ゲート長が0.18 μ m以下の微細なMOSFETで回路を構成するCMOSLSIや同様のゲート層をゲート電極と配線に用いるDRAMやロジック混載DRAMでは、ゲート遅延や配線での信号遅延を低減して高速動作を確保するために、金属層を含む低抵抗導電材料を使ったゲート加工プロセスが採用されるものと考えられる。

【0009】

この種の低抵抗ゲート電極材料として有力視されているのは、多結晶シリコン膜の上に高融点金属膜を積層した、いわゆるポリメタルである。ポリメタルは、そのシート抵抗が2 Ω/\square 程度と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。高融点金属としては、800℃以下の低温プロセスでも良好な低抵抗性を示し、かつエレクトロマイグレーション耐性の高いW(タングステン)、Mo(モリブデン)などが使用される。なお、多結晶シリコン膜の上に直接これらの高融点金属膜を積層すると両者の接着力が低下したり、高温熱処理プロセスで両者の界面に高抵抗のシリサイド層が形成されたりするため、実際のポリメタルゲートは、多結晶シリコン膜と高融点金属膜との間にWN_x(タングステンナイトライド)などの金属窒化膜からなるバリア層を介在させた3層構造で構成される。この構造ではこのWN_x膜が多結晶シリコン層のりんやボロン不純物の金属層への拡散抑止能力があると考えられていたため、ポリサイドゲートのような金属層を介したnチャンネル領域とpチャンネル領域間の不純物相互拡散の影響は少ないと考えられてきた。

【0010】

ところが、多結晶シリコン膜と高融点金属膜との間にWN_X（タングステンナイトライド）などの金属窒化膜からなるバリア層を介在させた3層構造でゲート電極からなる試料を用いて、熱処理工程による不純物の相互拡散を評価した結果、WN_X膜、およびその上に形成したタングステン膜を介して、多結晶シリコンのn型およびp型領域から相手方領域にりんやボロンが相互に拡散し、その拡散のしやすさはポリサイドゲートと同程度であることを本発明者は確認した。そして不純物の相互拡散により多結晶シリコンとこれらの金属あるいは金属化合物との間の接触抵抗が増加してしまうことが本発明者らの実験によって明らかとなった。

【0011】

これらの現象を対策するための本発明の目的と本願の特徴は、本明細書の記述および添付図面において以下説明を行う。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- (a) 半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- (c) 前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- (d) 前記の不純物ドーピングされたシリコン層上に、高融点金属の窒化膜を形成する工程と、
- (e) 前記高融点金属の窒化膜上に高融点金属膜を形成する工程と、
- (f) 前記(c)工程で形成した、n型・p型の不純物領域が接続しているシリコン層のp型・n型の境界領域上に形成された上記高融点金属の窒化膜、高融点金属膜さらに上記n型・p型不純物がドーピングされたシリコン層の膜厚方向の部分除去してこれらの膜が同一膜内で不連続になるように分離する工程とを含む製

造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0014】

さらに本発明の半導体集積回路装置の製造方法は、前記（f）工程で形成されたn型・p型不純物がドーピングされたシリコン層と高融点金属の窒化膜、高融点金属膜を含むゲート電極部分をそれぞれ分離した部分にチタン、ジルコニウムあるいはハフニウムなどの窒化物を埋め込むことによりn型・p型部分を結合する工程を含みこの製造方法で形成されたゲート電極構造を含む。

【0015】

また本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- （a）半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- （b）前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- （c）前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- （d）前記の不純物ドーピングされたシリコン層上に、高融点金属のシリサイド膜を形成する工程と、
- （e）前記の高融点金属のシリサイド膜上に、高融点金属の窒化膜を形成する工程と、
- （f）前記高融点金属の窒化膜上に高融点金属膜を形成する工程と、
- （g）前記（c）工程で形成した、n型・p型の不純物領域が接続しているシリコン層の境界領域上に形成された上記高融点金属のシリサイド膜、高融点金属の窒化膜、高融点金属膜さらに上記n型・p型不純物がドーピングされたシリコン層の膜厚方向の部分を除去してこれらの膜が同一膜内で不連続になるように分離する工程とを含む製造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0016】

さらに本発明の半導体集積回路装置の製造方法は、前記（g）工程で形成された不純物がドーピングされたシリコン層と高融点金属のシリサイド膜、高融点金属の窒化膜、高融点金属膜を含むn型・p型ゲート電極部分をそれぞれ分離した部分にチタン、ジルコニウムあるいはハフニウムなどの窒化物を埋め込むことによりn型・p型部分を結合する工程を含みこの製造方法で形成されたゲート電極構

造を含む。

【0017】

また本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- (a) 半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- (c) 前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- (d) 前記の不純物ドーピングされたシリコン層上に、高融点金属のシリサイド膜を形成する工程と、
- (e) 前記の高融点金属のシリサイド膜上に、高融点金属の窒化膜を形成する工程と、
- (f) 前記高融点金属の窒化膜上に高融点金属膜を形成する工程と、
- (g) 前記(c)工程で形成した、n型・p型の不純物領域が接続しているシリコン層の境界領域上に形成された上記高融点金属のシリサイド膜、高融点金属の窒化膜、高融点金属膜さらに上記n型・p型不純物がドーピングされたシリコン層の膜厚方向の一部あるいは全部に炭素、窒素あるいは酸素を導入する製造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0018】

また本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- (a) 半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- (c) 前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- (d) 前記の不純物ドーピングされたシリコン層上に、不純物をドーピングしないシリコン膜またはSiGe膜を形成する工程と、
- (e) 前記の不純物をドーピングしないシリコン膜またはSiGe膜上に、高融点金属の窒化膜を形成する工程と、
- (f) 前記高融点金属の窒化膜上に高融点金属膜を形成する工程とを含む製造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0019】

また本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- (a) 半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- (c) 前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- (d) 前記の不純物ドーピングされたシリコン層上に、不純物をドーピングしないシリコン膜またはSiGe膜を形成する工程と、
- (e) 前記の不純物ドーピングされたシリコン層と前記不純物をドーピングしないシリコン膜またはSiGe膜との界面に酸素、窒素あるいは炭素を含有する層を形成する工程と、
- (f) 前記の不純物をドーピングしないシリコン膜またはSiGe膜上に、高融点金属の窒化膜を形成する工程と、
- (g) 前記高融点金属の窒化膜上に高融点金属膜を形成する工程とを含む製造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0020】

また本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

- (a) 半導体ウエハの基板主面上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上に、シリコン層の膜を形成する工程と、
- (c) 前記のシリコン層の所定域に、n型およびp型の不純物をドーピングする工程と、
- (d) 前記の不純物ドーピングされたシリコン層上に、不純物をドーピングしないシリコン膜またはSiGe膜を形成する工程と、
- (e) 前記の不純物ドーピングされたシリコン層と前記不純物をドーピングしないシリコン膜またはSiGe膜との界面に酸素、窒素あるいは炭素を含有する層を形成する工程と、
- (f) 前記の不純物をドーピングしないシリコン膜またはSiGe膜上に、高融点金属の窒化膜を形成する工程と、
- (g) 前記高融点金属の窒化膜上に高融点金属膜を形成する工程とを、

(h) 前記高融点金属を通して前記不純物含むシリコン層に不純物を追加導入する工程含む製造方法を含み前記製造方法で形成されたゲート電極構造を含む。

【0 0 2 1】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0 0 2 2】

さらに、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、たがいにそれぞれの変形例、詳細な説明、補足説明などの関係にある。また、以下の実施の形態において、要素の数値等に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数値に限定されるものではない。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしもすべての工程が必須のものではないことは言うまでもない。

【0 0 2 3】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、その形状、位置関係に限定されるものではない。

【0 0 2 4】

また、半導体集積回路ウエハまたは半導体ウエハとは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にはほぼ円形）、サファイア基板、ガラス基板その他の絶縁、半絶縁または半導体基板など、ならびにそれらの複合的基板をいう。また、「半導体集積回路装置」（あるいは「電子装置」、「電子回路装置」など）というときは、単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、上記した各種基板、あるいはさらに S O I

(Silicon On Insulator)基板、TFT(Thin Film Transistor)液晶製造用基板、STN(Super Twisted Nematic)液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0025】

材料、ガス組成等に言及する時、特に明示した場合を除き、純粋なものの外、その材料を主要な構成要素とする材料等を示し、他の要素の追加を許容するものとする。例えばガス組成については、主要な反応ガス、処理ガスの外、副次的な作用をする添加ガス、希釈ガス、補助ガス等の追加を許容する。

【0026】

さらに、酸化シリコン膜というときは、特にそうでない旨特定する場合を除き、一般に各種の添加剤、補助成分を含む各種のシリコン酸化物系膜、すなわち、PSG(Phospho Silicate Glass)膜、BPSG(Boro-Phospho Silicate Glass)膜、TEOS(Tetra-Ethoxy Silane)酸化膜、シリコンオキシナイトライド膜等、その他の単一膜または複合膜を含むものとする。

【0027】

さらに、シリコンナイトライド、窒化ケイ素または窒化シリコンというときは、 Si_3N_4 のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0028】

ゲート酸化膜については、シリコン熱酸化膜、シリコンオキシナイトライド膜のほか、その他の熱酸化膜、堆積膜、塗布系膜を含み、材料的にはシリコン酸化膜以外の非シリコン系金属酸化物、シリコンナイトライド等の絶縁性の窒化物、あるいはそれらの複合膜を含む。

【0029】

また、基板表面の導電領域や堆積膜の導電領域の材質について、「シリコン」、「シリコンベース」というときは、特に特定した場合等を除き、比較的純粋なシリコン部材の外、シリコンに不純物や添加剤を添加したもの、シリコンを主要な構成要素とする導電部材（例えば、シリコンベース合金で50%以上のGeを含むSiGe合金等）も含まれるものとする。例えば、ゲート多結晶シリコン部や

チャンネル領域を S i G e にする等) 等を含むものとする。また、これらは、技術的に矛盾しない限り、形成当初は高抵抗であることも許容する。

【0 0 3 0】

また、堆積膜等で堆積当初はアモルファスであるが、後の熱処理ですぐに多結晶となるものがあるが、これらは特に必要があると認めるとき以外、表現上の矛盾を避けるため、当初から後の形態で表示する場合がある。例えば、多結晶シリコン（多結晶シリコン）は、堆積当初はアモルファス状態であり、後の熱処理により多結晶シリコンに変わる。ただし、当初から多結晶シリコンを使用することもあることは言うまでもない。つまり多結晶シリコンを使用する場合に、堆積当初はアモルファス状態であると、イオン注入におけるチャネリングの防止、ドライエッチング等の際の粒塊形状に依存した加工性の困難さの回避ができること、熱処理後のシート抵抗を低くできる等のメリットがあるためである。

【0 0 3 1】

本発明の実施形態である半導体集積回路装置には、例えば D R A M (Dynamic Random Access Memory) またはメモリ・ロジック混載型半導体装置がある。以下に本発明の実施形態である半導体集積回路装置の代表例として、メモリ・ロジック混載型半導体装置の断面図を図 4 に示す。

【0 0 3 2】

図の左側 (A) 部は D R A M のメモリアレイ (セル) 部断面図、中央 (B) 部はメモリのビット線 B L 部、そして右側 (C) 部はロジック回路の一部を示す断面図である。

【0 0 3 3】

例えば p 型の単結晶シリコンからなる半導体基板（以下、基板という。また、半導体ウエハあるいは単にウエハということもある。）1 の主面には、素子分離溝 2、p 型ウエル 3 および n 型ウエル 4 が形成されている。メモリアレイの p 型ウエルには、n チャネル型のメモリセル選択用 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) Q t と、その上部に形成された情報蓄積用容量素子 C とによって構成される複数のメモリセルが形成されている。

【0 0 3 4】

メモリセル選択用MISFET Q_t は、主としてゲート絶縁膜6、アクティブ領域以外の領域においてワード線WLを構成するゲート電極7Aおよび一对のn型半導体領域（ソース、ドレイン）9、によって構成されている。ゲート電極7A（ワード線WL）は、例えばP（リン）を含有させたn型多結晶シリコン膜14nの上部にWN_X（窒化タングステン）膜24とW膜25とが積層された、いわゆるポリメタル(Polymetal)構造の導電膜によって構成されている。なおWN_X膜24、W膜25のかわりにMoN_X（窒化モリブデン）膜24とMo膜25を用いることもある。

【0035】

ロジック回路部は、複数のnチャネル型MISFETと複数のpチャネル型MISFETとを組み合わせ、いわゆる相補型(Complementary)MIS回路によって構成されている。nチャネル型MISFETはp型ウエル3に形成され、主としてゲート絶縁膜6、ゲート電極7Bおよび一对のn⁺型半導体領域（ソース、ドレイン）12によって構成されている。また、pチャネル型MISFETはn型ウエル4に形成され、主としてゲート絶縁膜6、ゲート電極7Cおよび一对のp⁺型半導体領域（ソース、ドレイン）13によって構成されている。これらのロジック回路のソース、ドレインの表面にはコバルトのシリコン化合物からなる膜26が形成されている。ゲート電極7B、7Cは、前記メモリセル選択用MISFET Q_t のゲート電極7A（ワード線WL）と同じポリメタル構造の導電膜によって構成されている。ただし、ゲート電極7Bの多結晶シリコン14nにはn型不純物であるりんが、またゲート電極7Cの多結晶シリコン14pにはp型不純物であるボロンが含有されている。さらにこれらのゲート電極の上部には窒化シリコン膜8、側壁には窒化シリコン膜からなるサイドウォールスペーサ11sが形成されている。

【0036】

メモリセル選択用MISFET Q_t のゲート電極7A（ワード線WL）の上部には窒化シリコン膜8および側壁を覆う窒化シリコン膜11が形成され、さらにゲート電極7A、7B、7Cの窒化シリコン膜の上には層間絶縁膜15が形成されている。層間絶縁膜15は、例えばスピノングラス(Spin On Glass)膜（塗

布法によって形成される酸化シリコン系絶縁膜) とその上部に形成された 2 層の酸化シリコン膜とによって構成されている。

【0037】

メモリセル選択用MISFETQ_tのソース、ドレインを構成する一対のn型半導体領域9の上部には、層間絶縁膜15とその下層の窒化シリコン膜11とを開孔して形成したコンタクトホール16、17が形成されている。これらのコンタクトホール16、17の内部には、例えばP(リン)がドーピングされたn型多結晶シリコン膜によって構成されるプラグ18が埋め込まれている。

【0038】

層間絶縁膜15の上部には酸化シリコン膜19が形成されており、前記一対のコンタクトホール16、17の一方(コンタクトホール16)の上部の酸化シリコン膜19には、スルーホール20が形成されている。スルーホール20は、アクティブ領域から外れた素子分離溝2の上方に配置されており、その内部には例えばTiN(窒化チタン)膜の上部にW膜を積層した2層の導電膜によって構成されるプラグ23が埋め込まれている。スルーホール20に埋め込まれたプラグ23は、その下部のコンタクトホール16に埋め込まれたプラグ18を介してメモリセル選択用MISFETQ_tのソース、ドレインの一方(2個のメモリセル選択用MISFETQ_tによって共有されたn型半導体領域9)に電氣的に接続されている。

【0039】

ロジック回路部の酸化シリコン膜19およびその下層の層間絶縁膜15には、コンタクトホール21、22が形成されている。コンタクトホール21は、nチャネル型MISFETのソース、ドレインを構成する一対のn⁺型半導体領域(ソース、ドレイン)12の上部に形成され、コンタクトホール22は、pチャネル型MISFETのソース、ドレインを構成する一対のp⁺型半導体領域(ソース、ドレイン)13の上部に形成されている。これらのコンタクトホール21、22の内部には、前記メモリアレイのスルーホール20に埋め込まれたプラグ23と同じ導電材料によって構成されるプラグ23が埋め込まれている。

【0040】

メモリアレイの酸化シリコン膜 19 の上部には、メモリセルのデータを読み出す複数のビット線 B L が形成されている。これらのビット線 B L は素子分離溝 2 の上方に配置され、同一の幅、同一の間隔でゲート電極 7 A (ワード線 W L) と直交する方向に延在している。ビット線 B L のそれぞれは、その下部の酸化シリコン膜 19 に形成されスルーホール 20 内のプラグ 23 およびその下部のコンタクトホール 16 内のプラグ 18 を介してメモリセル選択用 M I S F E T Q t のソース、ドレインの一方 (n 型半導体領域 9) に電氣的に接続されている。ビット線 B L は、例えば W N X 膜の上部に W 膜を積層した導電膜によって構成されている。

【0041】

ロジック回路部の酸化シリコン膜 19 の上部には第 1 層目の配線 30 ~ 33 が形成されている。これらの配線 30 ~ 33 は、ビット線 B L と同じ導電膜によって構成されており、ビット線 B L と同時に形成される。配線 30、31 は、酸化シリコン膜 19、15 に形成されたコンタクトホール 21 内のプラグ 23 を介して n チャネル型 M I S F E T のソース、ドレイン (n⁺型半導体領域 12) に電氣的に接続され、配線 32、33 は、酸化シリコン膜 19、15 に形成されたコンタクトホール 22 内のプラグ 23 を介して p チャネル型 M I S F E T のソース、ドレイン (p⁺型半導体領域 13) に電氣的に接続されている。

【0042】

ビット線 B L および第 1 層目の配線 30 ~ 33 の上部には、層間絶縁膜 40 が形成されている。層間絶縁膜 40 は、下層の層間絶縁膜 15 と同じく、スピノングラス膜とその上部に形成された 2 層の酸化シリコン膜とによって構成されており、その表面は基板 1 の全域でほぼ同じ高さになるように平坦化されている。

【0043】

メモリアレイの層間絶縁膜 40 およびその下層の酸化シリコン膜 19 にはスルーホール 43 が形成されている。スルーホール 43 は、その下部のコンタクトホール 17 の真上に配置されており、その内部には、例えば P (リン) がドーブされた n 型多結晶シリコン膜によって構成されるプラグ 44 が埋め込まれている。

【0044】

層間絶縁膜 40 の上部には、窒化シリコン膜 45 および厚い膜厚の酸化シリコン膜 46 が形成されており、メモリアレイの酸化シリコン膜 46 に形成された深い溝 47 の内部には、下部電極 48、容量絶縁膜 49 および上部電極 50 によって構成される情報蓄積用容量素子 C が形成されている。情報蓄積用容量素子 C の下部電極 48 は、例えば P (リン) がドーピングされた低抵抗の n 型多結晶シリコン膜によって構成され、その下部に形成された前記スルーホール 43 およびコンタクトホール 17 を通じてメモリセル選択用 MISFET Q t の n 型半導体領域 (ソース、ドレイン) 9 の他方に電気的に接続されている。また、情報蓄積用容量素子 C の容量絶縁膜 49 は、例えば Ta₂O₅ (酸化タンタル) 膜によって構成され、上部電極 50 は、例えば TiN 膜によって構成されている。

【0045】

情報蓄積用容量素子 C の上部には酸化シリコン膜 51 が形成され、さらにその上部には 2 層程度の A1 配線が形成されているが、それらの図示は省略する。

【0046】

以上は本発明を適用したメモリ・ロジック混載型半導体装置の基本構造であるが、本発明の効果はロジック回路部および DRAM メモリのメモリアレイの周辺回路部で発揮される。これらの回路部では相補型 MIS 回路で構成されており、図 5 に示すように、n チャネル型 MISFET と p チャネル型 MISFET は各ゲート電極が同一のポリメタルゲート電極層で結合される場合がある。このとき各 MISFET のアクティブ領域の間に設けられた素子間分離領域上でありんを含有したポリメタルゲートの多結晶シリコン領域とボロンを含有させた多結晶シリコン領域が接続する。このような構造を有する場合、図 5 に示すように多結晶シリコンに含有させておいたりんやボロンなどの不純物がその上の WN_x 膜 24 あるいは W 膜 25 を介して相手方チャンネル領域まで拡散し (71、72)、WN_x 層と多結晶シリコン層 14 n、14 p との間の接触抵抗が急激に増大する。これらの現象は相補型 MISFET 回路の高速駆動を妨げる。そして半導体回路装置の発展とともに、集積度を増大するため MISFET などの回路構成要素の面内寸法が微細化する必要が生じるにともない図 5 に示した相補型 MISFET の相手方チャンネル領域までの距離が短くなるため、上記の金属層を介しての不純

物が拡散する量がさらに増大して、極端な場合は多結晶シリコン内のゲート酸化膜界面まで相手方チャンネル領域から拡散して来た不純物が到達し、界面での実効不純物濃度が減少してMOSトランジスターの閾値電圧を変動させるに到る。

【0047】

以上の現象は上に述べたメモリ・ロジック混載型半導体装置で判明した。以下には本発明の目的である不純物の相互拡散を抑止あるいは防止に関する実施形態を示す。そして本発明の各実施形態の効果は図6に示す不純物相互拡散評価素子により行なった。本素子は金属あるいは金属化合物層と多結晶シリコン層間の接触抵抗をブリッジ・ケルヴィン抵抗素子と相手方不純物の拡散源からなる。すなわちケルヴィン素子の接触抵抗評価箇所27とシリコン層内での相手方不純物拡散源領域端部28の間の距離 x に対する接触抵抗の依存性より不純物の相互拡散を評価した。

【0048】

実施例1

本実施例を図1を用いて説明する。なお以下に述べる各実施例は図6の評価素子を作製することを目的とするが、各層のプロセス条件は図4に述べたメモリ・ロジック混載型半導体装置を作製するためのプロセス条件でありかつ熱処理などの実験パラメータは該混載半導体装置のプロセス範囲をカバーするように選定されていることは言うまでもない。

【0049】

まず、図1に示すように、例えばp型の単結晶シリコンからなる基板（ウエハ）1を用意し、その主面に素子分離溝2を形成した後、基板1の一部にB（ホウ素）を、他の一部にP（リン）をそれぞれイオン注入した後、基板1を約950℃、10分程度熱処理してこれらの不純物を拡散させることにより、p型ウエル3およびn型ウエル4を形成する。素子分離溝2を形成するには、例えば基板1の素子分離領域をエッチングして深さ350nm程度の溝を形成し、続いてこの溝の内部および基板1上にCVD（Chemical Vapor Deposition）法で酸化シリコン膜を堆積した後、溝の外部の不要な酸化シリコン膜を化学機械研磨（Chemical Mechanical Polishing; CMP）法で除去する。このようにして素子分離領域溝

内にシリコン酸化物 5 を埋め込む。この結果ウエル領域の周囲が素子分離溝 2 に囲まれた島状のパターンを有する複数の領域が形成される。

【0050】

次に、基板 1 の表面をフッ酸で洗浄した後、基板 1 をスチーム酸化することによって、p 型ウエル 3 の表面および n 型ウエル 4 の表面に酸化シリコン膜からなる清浄なゲート絶縁膜 6 を形成する。ゲート絶縁膜 6 の膜厚は、例えば 4 nm である。ゲート絶縁膜 6 は、酸化シリコン膜に代えて酸化窒化シリコン膜、窒化シリコン膜、酸化シリコン膜と窒化シリコン膜との複合絶縁膜などで形成してもよい（図 1 (A)）。

【0051】

次に、ゲート絶縁膜 6 の上部に例えばモノシラン (SiH_4) をソースガスに用いた CVD 法で堆積（成膜温度＝約 630℃）し、例えば 70 nm 厚さのアモルファスシリコン膜 14a を形成する（図 1 (B)）。次に通常のホトリソグラフィ技術を用いて n 型ウエル領域をホトレジスト膜で覆い、このレジストをマスクとして p 型ウエル領域のアモルファスシリコン膜にイオン打ち込み技術を用いてりんイオンを打ち込み、n 型不純物をドーピングしたシリコン膜領域 14n を形成する。このイオン打ち込み条件は例えば 10 keV でドーズ量 $2 \times 10^{15} / \text{cm}^2$ とする。同様の方法で n 型ウエル上のアモルファスシリコン膜にボロンイオンを、例えば 5 keV で $2 \times 10^{15} / \text{cm}^2$ ドーズ量のドーピングして p 型シリコン膜領域 14p を形成する。そしてこれらのドーピング不純物を電氣的に活性化させるために窒素雰囲気中で 950℃、10 秒のランプアニール（瞬間熱処理）を行った（図 1 (C)）。

【0052】

次にこれらのシリコン膜領域 14n、14p の上部にスパッタリング法で膜厚 7 nm 程度の WN_x 膜 24 と膜厚 70 nm 程度の W 膜 25 とを連続して堆積し（図 1 (D)）、続いて W 膜 25 の上部にプラズマ CVD 法を用いて、例えば 480℃ で膜厚 30 nm 程度の窒化シリコン膜 29 を堆積する（図 1 (E)）。この後、通常のホトリソグラフィ技術とドライエッチング技術で上に述べたアモルファスシリコン膜の n 型不純物と p 型不純物の接続境界の窒化シリコン膜 29 を局

所的に除去加工し、この窒化シリコン 29 をドライエッチングマスクとして n 型不純物と p 型不純物が接続されている領域における WN_X 膜 24 と W 膜 25 を除去する (図 2 (A))。このようにすることにより WN_X 膜 24 と W 膜 25 を介した不純物の相互拡散経路を遮断した。

【0053】

次に再びプラズマ CVD 法で例えば 480℃ で窒化シリコン膜 34 を 120 nm 堆積し、この窒化シリコン膜を先に述べた同じ加工技術を用いて所望のパターンに加工し、そしてこの窒化膜 34 をマスクとして W 膜 25、 WN_X 膜 24 そしてシリコン膜 14 n、14 p をドライエッチング加工してゲート電極および配線をパターン形成する (図 2 (B))。この後に上に述べたプラズマ CVD 法を用いて 50 nm 厚さの窒化シリコン膜を形成し、さらに異性プラズマエッチング技術を用いてこの窒化シリコン膜をエッチングしてパターンニングされたゲート電極側壁にサイドウォールスペーサ 11 s を形成した (図 2 (C))。ここで分離した W 膜 25、 WN_X 膜 24 を接続するために分離した溝に窒化チタン 35 を埋め込んでもよい (図 2 (D))。

【0054】

この状態で、メモリ・ロジック混載型半導体装置を製造過程で経る熱プロセス条件を範囲に含む条件で熱処理を行った。この熱処理では熱処理温度、熱処理時間そして熱処理雰囲気パラメータとした。この熱処理の後、層間絶縁膜 40 としてのシリコン酸化膜を CVD 法で 400 nm 堆積した (図 3 (A))。次に電気的導通をとるためのコンタクト孔をドライエッチング法を用いて該シリコン膜に開け、通常の半導体装置で用いられている Ti/TiN/W の複合体からなるコンタクトプラグ 23 を形成した (図 3 (B))。さらに層間絶縁層 40 の上にスパッタ法で形成した W 膜 69 と CVD 法で形成した W 膜 70 の重ね構造からなる配線 33 を形成した (図 3 (C))。平面図は図 22 (A) にしめす。

【0055】

このようにして形成した図 6 の素子を用いて接触抵抗を測定した。なおこの素子作製にあたっては同一チップ内に不純物拡散距離 x が異なる複数の素子を形成した。またメモリ・ロジック混載型半導体装置では p ウエル 3 と n ウエル 4 の境

界には素子分離 2 領域があり、ゲート電極のシリコン層 14 n、14 p における接続部はこの領域の溝埋め込み酸化膜 5 の上に設定されることが多い。また、本実施例の効果を確認するため、シリコン膜内の p 型と n 型の接続領域上の W 膜 25、WN_X 膜 24 を除去しない、すなわち従来の半導体装置で問題となったこれらの層を介した不純物拡散経路がある素子も同時に比較のために作製した。

【0056】

本実施例の効果は以下の各実施例を記載した後、全体をまとめて比較しながら説明する。

【0057】

実施例 2

本実施例を図 7 を用いて説明する。図 7 (A) ~ 図 7 (D) の工程は実施例 1 と同じ工程であるが、本実施例では実施例 1 と異なり n 型不純物と p 型不純物の接続境界の W 膜 25、WN_X 膜 24 層の除去とともにその下のシリコン膜 14 n、14 p も同時に除去するようにしている。この場合は実施例 1 における膜厚 30 nm 程度の窒化シリコン膜 29 をドライエッチングマスクとしてアモルファスシリコン膜の n 型不純物と p 型不純物の接続境界の WN_X 膜 24 と W 膜 25 を除去する工程 (図 2 (A)) を省略した。そのかわりにプラズマ CVD 法で例えば 480℃ で窒化シリコン膜 34 を 120 nm 堆積し (図 7 (E))、この窒化シリコン膜をマスクとしてゲート電極、配線パターンを加工する際に、該境界部の W 膜 25、WN_X 膜 24 そしてシリコン膜 14 n、14 p を同時に加工して除去した。この結果 n 型領域と p 型領域が完全に分離されるため、両領域の電氣的導通が無くなる。次に実施例 1 と同様に窒化シリコン膜からなるスペーサ 11 s を設けた (図 8 (A))。なおこの n 型領域と p 型領域を接続する方法として、その上に層間絶縁膜を形成し、n 型領域と p 型領域の上のタングステン層 25 に接続するコンタクト孔を開けて、層間絶縁膜上に設けられる配線層で n 型領域と p 型領域を接続する方法がある。しかしこの方法を用いると、ホトリソグラフィ工程において、ゲート電極、配線パターン、コンタクト孔パターンそしてその上の配線パターン間のマスクあわせ余裕をとる必要が生じるため、半導体集積回路装置の高集積化の障害になる。

【0058】

このため接続部のW膜25、WN_x膜24、シリコン膜14n、14p除去し、スペーサ11sを形成した後、プラズマCVD技術を用いて420℃でシリコン酸化膜62を基板上の全面に形成した。この後、化学機械研磨(Chemical Mechanical Polishing; CMP)法でゲート電極、配線パターン上の平坦部のシリコン酸化膜62と窒化シリコン膜34を研磨により除去して、ゲート電極、配線の上面窒化シリコン膜の下のW膜25を露出させ、p型領域とn型領域の境界部の溝部分にのみ該シリコン酸化物を残存せしめた(図8(B))。なお、ゲート電極、配線部以外の凹部はCMPプロセス後に該シリコン酸化膜62が残存するため、試料全体が平坦化される。

【0059】

この後にスパッター法で窒化チタン42を100nm堆積し、この膜を両領域間の電極・配線を接続できるようにパターン形成した(図8(C))。なお、本実施例ではp型領域とn型領域の両領域の電極・配線間隙にはスペーサ11sと酸化物62が埋め込まれているが、この間隙にこれらの絶縁膜を埋め込まないで、上記の窒化チタン膜35を形成することも可能である(図8(D))。この場合は、窒化シリコン膜厚を溝幅の2倍より厚くなるように設定して、間隙をこの膜で埋め込めるようにすることが望ましい。次に再度CMP技術を用いて平坦部の窒化チタンを除去して間隙部のみに残存せしめる。

【0060】

以上の工程の後にもう一度層間絶縁膜40となるシリコン酸化膜を420℃で100nm堆積した(図9(A))。次に電氣的導通をとるためのコンタクト孔をドライエッチング法を用いて該シリコン膜に開け、通常の半導体装置で用いられているTi/TiN/Wの複合体からなるコンタクトプラグ23を形成した(図9(B))。さらに層間絶縁層40の上にスパッター法で形成したW膜69とCVD法で形成したW膜70の重ね構造からなる配線33を形成した(図9(C))。

【0061】

この後、実施例1と同じように、メモリ・ロジック混載型半導体装置の製造過程で経る熱プロセス条件を範囲に含む条件で熱処理を行った。また測定端子のた

めのパッド部の絶縁膜除去は実施例 1 と同じである。なお、本実施例ではゲート電極、配線の該境界部の接続金属として窒化チタン 42 を用いたが、この他に窒化ジルコニウム、窒化ハフニウム、窒化タンタルおよびこれらの金属の炭化物、導電性の金属酸化物でも本発明の目的であるりん、ボロンなどの不純物の相互拡散を抑止するとともに、両領域の導通を確保する層として用いることができる。また前記窒化チタン 42 または窒化ジルコニウム、窒化ハフニウム、窒化タンタル膜の上にさらにタングステンまたはモリブデンの金属膜を重ねて形成してもよい。

【0062】

本実施例によると、先に述べたようなコンタクト孔、およびさらに上層の接続配線のためのマスク合わせ余裕が不要になるため、半導体装置の高集積化が図れる。本実施例の不純物相互拡散阻止効果については後述する実験データにて示す。

【0063】

なお本実施例 2 では p 型シリコン膜 14 p を有するゲート電極、配線と n 型シリコン膜 14 n を有するゲート電極、配線の境界部の隙間にはシリコン酸化膜 62 が埋め込まれるが、この埋め込み材料としては窒化シリコンやアルミナなどの絶縁膜を用いることができる。この場合はゲート電極加工関連のプロセスを上記からの変更が必要になる場合がある。

【0064】

実施例 3

図 10 を用いて本実施例を説明する。なお図 10 では本実施例特有の関連工程のみを示した。図 10 (A) ~ 図 10 (C) までの工程は実施例 1 と同様に、素子分離溝 2 の形成、p 型ウエル 3 および n 型ウエル 4 の形成、ゲート絶縁膜 6 の形成、n 型領域 14 n および p 型領域 14 p のシリコン膜の形成、WN_x 膜 24 と W 膜 25 の形成 (図 10 (A))、窒化シリコン膜 29 の形成 (図 10 (B))、ホトリソグラフィによる窒化シリコン膜 29 のパターニングを行う (図 10 (C))。ここで実施例 1 ではアモルファスシリコン膜の n 型不純物と p 型不純物の接続境界の窒化シリコン膜 29 をパターニング加工し、このパターニングさ

れた窒化シリコン 29 をドライエッチングマスクとしてこの領域の WN_x 膜 24 と W 膜 25 を除去した。

【0065】

本実施例では WN_x 膜 24 と W 膜 25 を除去することなく、窒化シリコン膜 29 をマスクとしてイオン打ち込み技術により W 膜 25 と WN_x 膜 24 に炭素 73 をドーピングした。この炭素の打ち込みは 5 keV でドーズ量を $1 \times 10^{16} / \text{cm}^2$ とした。そしてこの 650℃ で 10 分間窒素雰囲気熱処理を行い、このイオン打ち込みされた W 膜 25 と WN_x 膜 24 の領域を金属炭化物 74 にした (図 11 (A))。この後に再度、プラズマ CVD 装置を用いて窒化シリコン膜 34 を 120 nm 堆積し、この膜を用いて WN_x 膜 24、W 膜 25 とシリコン膜 14 n、14 p をゲート電極、配線パターンに加工した。その後ゲート実施例 1 と同様にゲート電極側壁にサイドウォールスペーサ 11 s を形成し (図 11 (B))、層間絶縁膜 40 となるシリコン酸化膜を堆積した後 Ti/TiN/W の複合体からなるコンタクトプラグ 23 を形成し、さらに層間絶縁層 40 の上にスパッター法で形成した W 膜 69 と CVD 法で形成した W 膜 70 の重ね構造からなる配線 33 を形成した (図 11 (C))。ここで金属炭化物 74 によって分離された WN_x 膜 24、W 膜 25 を窒化チタン 35 によって接続してもよい (図 11 (D))。平面図は図 22 (B) にしめす。

【0066】

本実施例では WN_x 膜 24 と W 膜 25 に打ち込まれた炭素を含有させた領域を後の熱工程でタンゲステン炭化物に変化させることにより、不純物の相互拡散を抑止する効果がある。なお、炭素のかわりに窒素あるいは酸素をイオン打ち込みして、該境界領域に高濃度窒素含有の窒化タンゲステンあるいは酸化タンゲステンを形成することにより拡散を抑止することもできる。評価結果は他の実施例と同様に後述する。

【0067】

実施例 4

本実施例を図 12 に示す。本例では実施例 1 または実施例 2 のように n 型領域・p 型領域のシリコン境界領域にある WN_x 膜 24、W 膜 25 とアモルファスシ

リコン膜 14 n、14 p などを分断しない。実施例 1 と同様に、ゲート絶縁膜 6 を形成し（図 12（A））、アモルファスシリコン膜 14 a を形成し（図 12（B））、イオン打ち込み技術によりアモルファスシリコン膜の 14 n、14 p 領域に各不純物をドーピングした後、窒素雰囲気中で 950℃、10 秒の熱処理を行い、アモルファスシリコンを多結晶シリコンに変化させた（図 12（C））。次に下地のシリコン膜 14 n、14 p 表面をウエット酸化雰囲気中に 500℃で 10 秒さらし、表面に酸素付着層 61 を形成させ、その後に非ドーパアモルファスシリコン膜 60 を実施例 1 または実施例 2 と同じプロセス条件で 20 nm 堆積した（図 12（D））。次に WN_x 膜 24 と W 膜 25 を形成し（図 12（E））、実施例 1 と同じように窒化シリコン膜 34 を形成し（図 13（A））、この窒化シリコン膜 34 膜を所望パターンに加工して、さらにパターンニングした窒化シリコン膜 34 をドライエッチングのマスクに用いて WN_x 膜 24、W 膜 25 とアモルファスシリコン膜 60、ドーピングされた多結晶シリコン 14 n、14 p をゲート電極形状、配線形状に加工した。本実施例ではこの後、層間絶縁膜 40 としてのシリコン酸化膜を実施例 1 と同じ条件で形成し、Ti/TiN/W の複合体からなるコンタクトプラグ 23 を形成し、さらに層間絶縁層 40 の上にスパッター法で形成した W 膜 69 と CVD 法で形成した W 膜 70 の重ね構造からなる配線 33 を形成した（図 13（B））。平面図は図 22（C）に示す。その後に実施例 1 ～ 3 と同様に相互拡散を評価するための熱処理を行った。

【0068】

本実施例における酸素付着層 61 と表面のアモルファスシリコン膜 60 は後の熱工程でシリコン膜 14 n、14 p に含有させておいたりんやボロンが後の熱工程でその上に形成されている WN_x 膜 24、W 膜 25 に拡散するのを遅らせる効果を持つ。なお、この付着層としてシリコン膜 14 n、14 p 表面を例えばアルコールなどの炭素を含有したガス雰囲気中で例えば 600℃で 20 秒さらし、表面に炭素付着層 61 を形成することによっても同様の効果が得られる。また例えば 480℃などの温度でアンモニアプラズマにさらすことにより、窒素付着層を形成することによっても同様の効果が得られる。

【0069】

なお、金属層とシリコン層間の接触抵抗は界面におけるシリコン層内不純物濃度により左右される。このため本実施例の構造ではWN_x膜24とSi層60の界面のシリコン層内不純物濃度が少ないことが心配された。しかし2次イオ質量分析によるゲート電極、配線膜内の深さ方向不純物濃度分布の分析結果によれば、例えばW(25)/WN_x(24)/Si(60)/poly-Si(14p)に示される構造では、図14に示すように混載半導体装置形成熱処理工程を経た後はWN_x膜24とSi層60の界面でのボロン濃度はオーミックコンタクトに必要なボロン不純物濃度である約 $5 \times 10^{19} / \text{cm}^3$ に達していることが確認された。

【0070】

なお、上記のアモルファスシリコン膜60に代えて、Ge(ゲルマニウム)を5%から最大で50%前後含んだシリコン膜で構成することもできる。シリコンにGeを含ませた場合は、シリコンのバンドギャップが狭くなることや、不純物の固溶限界が高くなることに起因して、上層のWN_x膜24とSi膜60の接触抵抗が低減される利点がある。シリコンにGeを含ませるには、シリコン膜にイオン注入でGeを導入する方法の外、モノシラン(SiH₄)とGeH₄とを使ったCVD法によってGeを含んだシリコン膜を堆積する方法がある。

【0071】

実施例5

本実施例では実施例1と同様に、ゲート絶縁膜6を形成し(図15(A))、アモルファスシリコン膜14aを形成し(図15(B))、イオン打ち込み技術によりアモルファスシリコン膜の14n、14p領域に各不純物をドーピングした後、窒素雰囲気中で950℃、10秒の熱処理を行い、アモルファスシリコンを多結晶シリコンに変化させた(図15(C))。その後WF₆ガスとSiH₄ガスを用いたCVD技術により、例えば630℃で10nm厚さのタングステンシリサイド(WSi_x膜)63を形成した。次にこの膜の上にスパッタリング法で膜厚7nm程度のWN_x膜24と膜厚70nm程度のW膜25を形成した(図15(D))。

【0072】

その後W膜25の上部にプラズマCVD法を用いて、窒化シリコン膜29を堆

積し、通常のホトリソグラフィ技術とドライエッチング技術で n 型不純物 14 n と p 型不純物 14 p の接続境界の窒化シリコン膜 29 を局所的に除去加工し、この窒化シリコン 29 をドライエッチングマスクとして n 型不純物と p 型不純物が接続されている領域における WN_X 膜 24 と W 膜 25 と WSi_x 膜 63 を除去する (図 16 (A))。

【0073】

次に再びプラズマ CVD 法で窒化シリコン膜 34 を堆積し、この窒化シリコン膜 34 を所望のパターンに加工し、このパターンニングされた窒化シリコン膜 34 をマスクとして W 膜 25、 WN_X 膜 24、 WSi_x 膜 63 そしてシリコン膜 14 n、14 p をドライエッチング加工してゲート電極および配線をパターン形成する。この後にプラズマ CVD 法を用いて窒化シリコン膜を形成し、さらに異性プラズマエッチング技術を用いてこの窒化シリコン膜をエッチングしてパターンニングされたゲート電極側壁にサイドウォールスペーサ 11 s を形成した。熱処理の後、層間絶縁膜 40 としてのシリコン酸化膜を CVD 法で堆積し、Ti/TiN/W の複合体からなるコンタクトプラグ 23 を形成し、さらに層間絶縁層 40 の上にスパッター法で形成した W 膜 69 と CVD 法で形成した W 膜 70 の重ね構造からなる配線 33 を形成した (図 16 (B))。ここで分離された W 膜 25、 WN_X 膜 24、 WSi_x 膜 63 を接続するためにサイドウォールスペーサ 11 s の上に窒化チタン 35 を形成して接続してもよい (図 16 (C))。または分離された W 膜 25、 WN_X 膜 24、 WSi_x 膜 63 の部分に窒化チタン 35 を埋め込んで接続してもよい (図 16 (D))。平面図は図 22 (D) にしめす。

【0074】

なおこの WSi_x 膜 63 は、上記各実施例において WN_X 膜 24 がシリコンベース膜に直接接触する構造で生じる界面での接触抵抗増大を避けるために用いた。この WSi_x 膜 63 を適用しない場合は、半導体集積回路装置を形成後の該接触抵抗が約 $1 \times 10^{-5} \Omega \cdot \text{cm}$ から $1 \times 10^{-3} \Omega \cdot \text{cm}$ と比較的高い値になるのに対して、この WSi_x 膜 63 を WN_X 膜 24 と上記シリコンベース膜の間に挿入することにより、接触抵抗を $5 \times 10^{-7} \Omega \cdot \text{cm}$ から $5 \times 10^{-6} \Omega \cdot \text{cm}$ の範囲まで低減できた。なお、この WSi_x 膜 63 の形成は実施例 1 の構造

以外の各実施例に適用しても同様の効果を発揮するのは言うまでもない。

【0075】

実施例 6

上記の実施例 1～実施例 5 では W 膜 25 を形成しその上にシリコン窒化膜を形成する場合に、本願の目的である不純物の拡散経路の遮断あるいは拡散阻止域を形成できるまでの熱負荷をできるだけ低減するために低温プラズマ CVD 技術を適用したシリコン窒化膜の形成をおこなった。しかし、プラズマ CVD で形成した窒化シリコン膜 29、34 は多量の水素を含有している。この水素はシリコン膜に p 型不純物のボロンを含有させたゲート電極、配線領域で、ボロンが p 型シリコン膜からその下のゲート絶縁膜を通して MISFET のチャンネル領域のシリコン基板まで漏れる現象を加速することがわかっている。これに対して減圧 CVD 技術を用いて、比較的高温の 700℃ ないし 800℃ で形成した窒化シリコン膜は膜中に含有される水素量が非常に少なく、かつ外部からの水素拡散が少ない性質を有する。

【0076】

これらの窒化シリコン膜からのボロンの漏れを評価するためゲート絶縁膜 6 のキャパシタ特性を評価した。本実施例では実施例 1 と同様にゲート絶縁膜 6、シリコン膜 14n・14p、WN_X膜 24、W 膜 25 を形成した後に減圧 CVD 法で 20nm の窒化シリコン膜 64 を形成した後に上記の各実施例と同じ条件でプラズマ CVD 法を用いて窒化シリコン膜 29 あるいは 34 を堆積した MOS キャパシタ (図 18 (B)) とこの減圧 CVD 法による窒化シリコン膜 64 を形成しない実施例 1～5 のようなプロセスによる MOS キャパシタを作製し、これらのキャパシタのフラットバンド電圧 (V_{FB}) の熱処理による変動量を評価した。なお、 V_{FB} は MISFET の閾値電圧に対応することは言うまでもない。

【0077】

本実施例では n 型ウエル 4 の上に 3.5nm 厚さの SiO₂ ゲート酸化膜 6 を形成し (図 17 (A))、アモルファスシリコン膜 14a を形成し (図 17 (B))、イオン打ち込み技術によりアモルファスシリコン膜の 14n、14p 領域に各不純物をドーピングした後、窒素雰囲気中で 950℃、10 秒の熱処理を行い

、アモルファスシリコンを多結晶シリコンに変化させた（図17（C））。その後 WF_6 ガスと SiH_4 ガスを用いたCVD技術により、例えば $630^{\circ}C$ で 10 nm 厚さのタングステンシリサイド（ WSi_x 膜）63を形成した。次にこの膜の上にスパッタリング法で膜厚 7 nm 程度の WN_x 膜24と膜厚 70 nm 程度のW膜25を形成した（図17（D））。続いて減圧CVD技術を用いて、比較的高温の $700^{\circ}C$ ないし $800^{\circ}C$ で 20 nm の厚さの窒化シリコン膜64を形成し、次にプラズマCVD法で窒化シリコン膜34を堆積し、この窒化シリコン膜34、64を所望のパターンに加工し、このパターンニングされた窒化シリコン膜34、64をマスクとしてW膜25、 WN_x 膜24、 WSi_x 膜63そしてシリコン膜14n、14pをドライエッチング加工してゲート電極パターンを形成する（図18（A））。

【0078】

続いて層間絶縁膜40としてのシリコン酸化膜をCVD法で堆積し、Ti/TiN/Wの複合体からなるコンタクトプラグ23をW膜25に接続するように形成し、さらに層間絶縁層40の上に配線33を形成した（図18（B））。

【0079】

なお図18（B）に示すようにp型ウエル3上にも同時にMOSキャパシタを形成したが、本実施例の目的とは関係無いので説明を省略する。このようにして形成したMOSキャパシタを窒素雰囲気中で $600^{\circ}C$ から $1000^{\circ}C$ の範囲で60秒の熱処理を行った。

【0080】

そのフラットバンド電圧（ V_{FB} ）の測定結果を図19に示す。図19（A）は減圧CVDによる窒化シリコン膜64を形成しないでプラズマCVD法で窒化シリコン膜34をW膜25の上に堆積した場合の構造図でそのフラットバンド電圧（ V_{FB} ）特性は図19（C）の測定値（A）に示される。測定値（A）に示される減圧CVD窒化シリコン膜64を含まないキャパシタでは、およそ $800^{\circ}C$ あたりからMOSキャパシタのフラットバンド電圧（ V_{FB} ）の熱処理による変動の兆候がみられ、さらに $900^{\circ}C$ 以上ではその変動量は急激に増大した。

【0081】

一方、図19 (B) は減圧CVDによる窒化シリコン膜64をW膜25の上に形成したのちプラズマCVD法で窒化シリコン膜34を窒化シリコン膜64の上に堆積した場合の構造図でそのフラットバンド電圧 (V_{FB}) 特性は図19 (C) の測定値 (B) に示される。測定値 (B) に示される窒化シリコン膜64を設けたキャパシタでは V_{FB} の熱処理による変動が飛躍的に抑制された。熱処理による V_{FB} の変動はプラズマCVD膜に含有されていた水素によりボロン漏れが増速されたことを示している。図19より、ボロン漏れの観点からは減圧CVD窒化膜64を適用しない場合、熱負荷を800℃以下に制限することが必要であることがわかる。

【0082】

なお、ボロン漏れ量を少なくするには、W膜25上に形成する窒化シリコン膜の全てを減圧CVD法により形成することが考えられる。しかしこれらに相当する厚い窒化シリコン膜を減圧CVD法で形成すると、ゲート電極、配線が長時間の高温プロセスを経ることになる。しかしこれらの窒化シリコン膜を形成する段階においては、上記実施例1～5で適用した不純物の相互拡散の抑止あるいは遮断に関する対策を行う前のプロセス段階であり減圧CVD法の高温プロセスによる不純物の相互拡散が減圧CVD法による窒化シリコン形成段階で起きてしまうことになる。このため減圧CVD法で窒化シリコン膜を形成する場合はその不純物の相互拡散を許容できる程度の熱負荷に抑制する必要がある。上記のMOSキャパシタ作製で適用した減圧CVD法による窒化シリコン膜64はこの点を考慮したものである。

【0083】

熱負荷と不純物の相互拡散による多結晶シリコン膜14n、14pとその上のWN_x膜24またはWS_ix膜63間の接触抵抗の増加との関係について以下にしめす。上の各実施例の説明箇所では、WS_ix膜63は、上記各実施例においてWN_x膜24およびW膜25を介した不純物の相互拡散による接触抵抗の増大を抑止あるいは遮断する効果について述べなかった。以下に各実施例により作製した不純物相互拡散評価素子 (図6) における接触抵抗評価結果について述べる。

。

【0084】

図20は図中に示したように、n型不純物であるりんがシリコン膜内に拡散源65として存在し、接触抵抗評価部にはp型不純物であるボロンを含有するシリコン膜14pで構成されている場合を示す。一方、図21はその逆に拡散源領域のシリコン膜67にはボロンを含有しており、接触抵抗評価部にはりんを含有するシリコン膜14nで構成されている素子の接触抵抗評価結果を示す。図20、図21の横軸は接触抵抗評価部27と拡散源端部28間の距離、すなわちシリコン膜上に形成したWN_x膜24、W膜25あるいはWSi_x膜63を介した不純物の横方向拡散距離xを示し、縦軸は不純物相互拡散による接触抵抗の増大率をしめす（同一チップに設けた不純物拡散源を有さない素子、すなわち不純物の相互拡散が無い素子の場合の接触抵抗値に対する比を示す）。

【0085】

図20（A）および図21（B）は実施例1～5を適用しない場合の接触抵抗評価結果である。図20（A）および図20（B）からわかるように、従来どおりのポリメタルゲート電極構造、すなわちn型不純物とp型不純物が接続されているポリシリコン膜上に形成したWSi_x膜63、WN_x膜24あるいはW膜25を形成して、WSi_x膜63、WN_x膜24あるいはW膜25を分断しない場合は不純物の相互拡散による接触抵抗の顕著な増大がみられる。図20（B）より、金属、金属化合物膜を介した拡散はりんのほうがボロンより大きいと言える。

【0086】

W膜25／WN_x膜24／シリコン膜の積層構造では、りん拡散による接触抵抗の増大率は800℃、10分程度の熱処理で約4桁に達している。750℃まで温度を下げると増大率は1桁から2桁までに減少する。一方図21（B）より、ボロンの場合は800℃の熱処理で接触抵抗は3桁増大した。そして750℃まで熱処理温度を低下させると、ボロンの拡散による接触抵抗の増大はみられなかった。

【0087】

またW膜25／WN_x膜24／WSi_x膜63／シリコン膜の積層構造では、

いずれの場合も接触抵抗はおおよそ半桁程度さらに増大した。これらの増大率は WSix 膜／シリコン膜の 2 層構造からなるポリサイドゲートと同程度であった。

【0088】

なお、今回作製したチップには、拡散距離 x が $0\ \mu\text{m}$ から $1\ \mu\text{m}$ の不純物相互拡散評価素子を設けた。図 20 (B)、図 21 (B) が示しているように、 800°C 程度の比較的低温の熱工程でも拡散距離 $1\ \mu\text{m}$ 程度まで達することがわかった。正確な拡散定数を求めるには、さらに拡散距離 x の長い素子を作製する必要がある。なお、これらの図に示した一連の実験結果より、本発明のゲート電極、配線における不純物拡散経路に抑制、あるいは阻止領域を設けるまで（積層構造膜をゲート電極、配線パターンに加工するまで）に経る熱プロセスは 750°C 以下に設定することが求められる。この条件であれば不純物の拡散による接触抵抗の増大率は 1 桁程度と高速動作が要求される半導体集積回路装置作製プロセスに適用できる。

【0089】

次に実施例 1～5 を適用した素子の評価結果を図 20 (A)、図 21 (A) に示す。各実施例ともに半導体集積回路装置作製に必要な 950°C 、10 秒から 1050°C 1 秒の瞬間アニールに耐える特性を確保できることがわかった。これらの結果より、実施例 4 のように n 型不純物と p 型不純物領域が形成されたシリコン膜の上にノンドープシリコン層あるいは SiGe 層を形成して不純物の拡散を遅らせるようにした構造、または実施例 6 のように W 膜 25 の上に減圧 CVD 法で形成した窒化シリコン膜の上にプラズマ CVD 法で形成した窒化シリコン層を形成することにより窒化シリコン膜中の水素によるボロン漏れを対策した構造、または実施例 5 のように W 膜 25 / WN_x 膜 24 / WSix 膜 63 / シリコン膜の積層構造にすることにより接触抵抗を低減する構造、または実施例 1 のように不純物の相互拡散を防止するために W 膜 25 / WN_x 膜 24 を分断する構造、または実施例 3 のように n 型不純物と p 型不純物領域の界面の領域の W 膜 25 / WN_x 膜 24 に炭素・窒素・酸素等を注入して相互拡散を防止する構造などを適用することにより、不純物の相互拡散、ボロン漏れなどの問題が無く、低接触抵抗を確保した高速のポリメタルゲート相補型 MIS 高集積回路装置を実現できた。

【0090】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例6では減圧CVD装置を用いて窒化シリコン薄膜64を形成したが、このかわりに他の膜を用いることもできる。その例として、アンモニアガスを用いずに窒素ガスを用いたプラズマCVD窒化シリコン膜を適用できる。この膜を形成するには、アンモニアガスを用いる場合より高温の600℃～700℃が必要であるが、減圧CVDより低温化が可能であり、かつ所望膜厚の窒化シリコン膜を形成する際に、ゲート電極、配線に加わる全プロセス熱負荷が少ない利点がある。したがって不純物の拡散対策としても有利である。またこの膜はアンモニアガスを用いた場合のように膜に含有している水素量が少ないので、ボロン漏れ対策としても好都合である。

【0091】

前記実施の形態では、DRAM、DRAM混載ロジックLSIの場合について説明したが、これらのLSIに限定されるものではなく、ポリメタル(Polymetal)構造の導電膜でゲート電極を形成したMISFETを有するLSI、例えばCMOSロジックLSI、フラッシュメモリなど幅広く適用することができる。

【0092】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0093】

ポリメタル構造を有する相補型MISFETからなる半導体集積回路装置において、p型シリコン膜を有するゲート電極、配線領域とn型シリコン膜を有するゲート電極、配線領域の接続領域におけるWN_x膜/W膜を介した不純物の相手方領域への相互拡散によるWN_x膜/多結晶シリコン膜界面の接触抵抗の増加を防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態である実施例 1 における製造プロセスと各プロセスステップにおける要部断面図。

【図 2】

本発明の実施形態である実施例 1 における製造プロセスと各プロセスステップにおける要部断面図。

【図 3】

本発明の実施形態である実施例 1 における製造プロセスと各プロセスステップにおける要部断面図。

【図 4】

本発明の一実施の形態であるメモリ・ロジック混載型半導体装置の要部断面図である。

【図 5】

本発明の一実施の形態である相補型 M I S 回路において、p 型シリコン膜を有するゲート電極、配線と n 型シリコン膜を有するゲート電極、配線接続部における不純物相互拡散の説明図。

【図 6】

本発明の一実施の形態である不純物相互拡散評価素子。

【図 7】

本発明の実施形態である実施例 2 の応用例の要部断面図。

【図 8】

本発明の実施形態である実施例 2 の応用例の要部断面図。

【図 9】

本発明の実施形態である実施例 2 の応用例の要部断面図。

【図 10】

本発明の実施形態である実施例 3 における製造プロセスと各プロセスステップにおける要部断面図。

【図 11】

本発明の実施形態である実施例 3 における製造プロセスと各プロセスステッ

プにおける要部断面図。

【図 1 2】

本発明の実施形態である実施例 4 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 3】

本発明の実施形態である実施例 4 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 4】

本発明の一実施の形態である実施例 4 により形成されたゲート電極、配線膜内の深さ方向不純物濃度分布に関する 2 次イオ質量分析測定結果。

【図 1 5】

本発明の実施形態である実施例 5 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 6】

本発明の実施形態である実施例 5 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 7】

本発明の実施形態である実施例 6 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 8】

本発明の実施形態である実施例 6 における製造プロセスと各プロセスステップにおける要部断面図。

【図 1 9】

本発明の実施形態である実施例 6 により形成された MOS キャパシタにおける窒素熱処理温度とボロン漏れによるフラットバンド電圧 (V_{FB}) 変動の関係。

【図 2 0】

n 型不純物拡散評価素子におけるりん不純物拡散距離および熱負荷と接触抵抗増大率の関係。

【図 2 1】

p 型不純物拡散評価素子におけるボロン不純物拡散距離および熱負荷と接触抵抗増大率の関係。

【図 2 2】

実施例 1, 3, 4, 5 のゲート電極の平面図。

【符号の説明】

- 1 半導体基板 (ウエハ)
- 2 素子分離溝
- 3 p 型ウエル
- 4 n 型ウエル
- 5 素子間分離溝埋め込み酸化シリコン膜
- 6 ゲート絶縁膜
- 7 A ~ 7 C ゲート電極
- 8、2 9、3 4、4 1 窒化シリコン膜
- 9 n⁻型半導体領域 (ソース、ドレイン)
- 1 0 p⁻型半導体領域 (ソース、ドレイン)
- 1 1 窒化シリコン膜
- 1 1 s サイドウォールスペーサ
- 1 2 n⁺型半導体領域 (ソース、ドレイン)
- 1 3 p⁺型半導体領域 (ソース、ドレイン)
- 1 4 a シリコン膜
- 1 4 n、1 4 p シリコンベース膜
- 1 5 層間絶縁膜
- 1 6、1 7 コンタクトホール
- 1 8 プラグ
- 1 9 酸化シリコン膜
- 2 0 スルーホール
- 2 1、2 2 コンタクトホール
- 2 3 プラグ
- 2 4 WN_X膜

- 2 5 W膜
- 2 6 コバルトシリコン化合物（シリサイド）膜
- 2 7 ブリッジ・ケルヴィン抵抗素子における接触抵抗評価箇所
- 2 8 不純物相互拡散評価素子における多結晶シリコン層内の相手方不純物領域
端部
- 3 0 ~ 3 3 配線
- 3 5 窒化チタン埋め込み膜
- 4 0 層間絶縁膜
- 4 2 窒化チタン膜
- 4 3 スルーホール
- 4 4 プラグ
- 4 5 窒化シリコン膜
- 4 6 酸化シリコン膜
- 4 7 溝
- 4 8 下部電極
- 4 9 容量絶縁膜
- 5 0 上部電極
- 5 1 酸化シリコン膜
- 6 0 シリコン膜あるいはGeを含有したシリコンベース膜
- 6 1 酸素、炭素、あるいは窒素を含有した領域
- 6 2 シリコン酸化膜(物)
- 6 3 タングステンシリサイド膜
- 6 4 減圧CVD法で形成した窒化シリコン膜
- 6 5 n型不純物相互拡散評価素子におけるn型拡散源（りん）
- 6 6 n型不純物相互拡散評価素子における接触抵抗評価部のp型不純物含有シ
リコン膜領域（ボロン）
- 6 7 p型不純物相互拡散評価素子におけるp型拡散源（ボロン）
- 6 8 p型不純物相互拡散評価素子における接触抵抗評価部のn型不純物含有シ
リコン膜領域（りん）

- 6 9 接触抵抗評価素子の電圧端子
- 7 0 接触抵抗評価素子の電流端子
- 7 1 りんの拡散経路
- 7 2 ボロンの拡散経路
- 7 3 イオン打ち込みされる炭素
- 7 4 炭素化合物
- C 情報蓄積用容量素子
- Q t メモリセル選択用 M I S F E T
- W L ワード線。

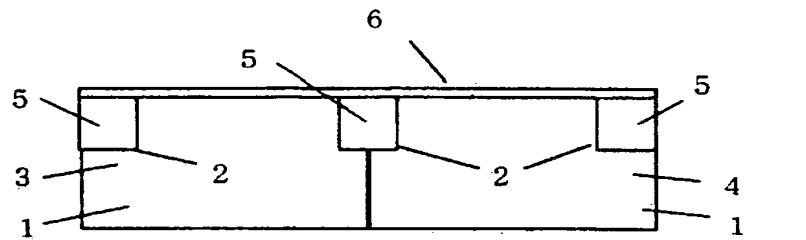
【書類名】

図面

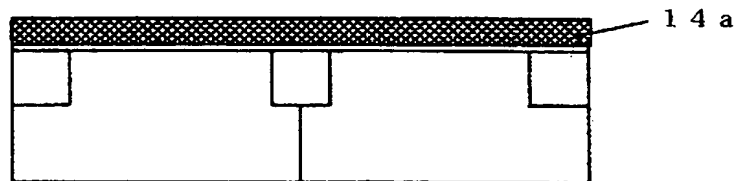
【図 1】

図 1

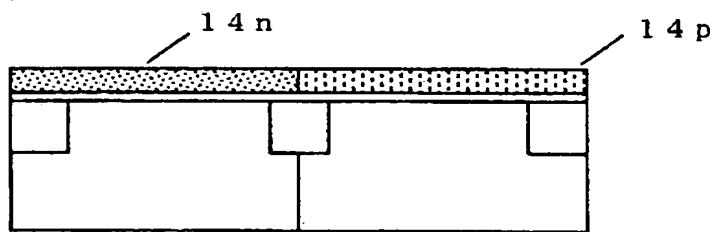
(A)



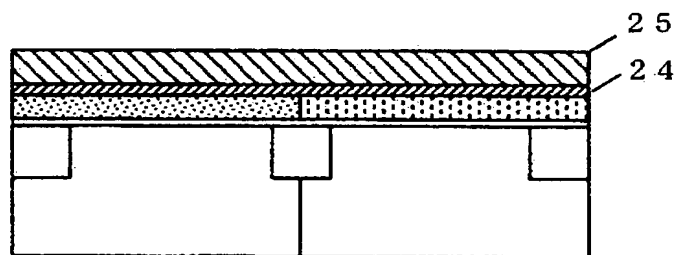
(B)



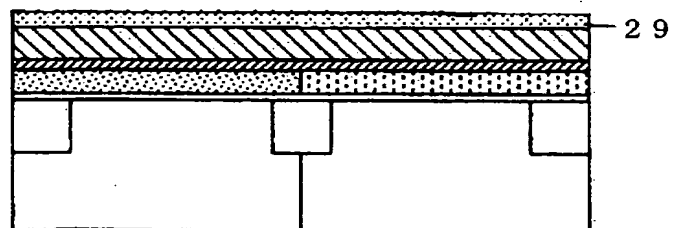
(C)



(D)

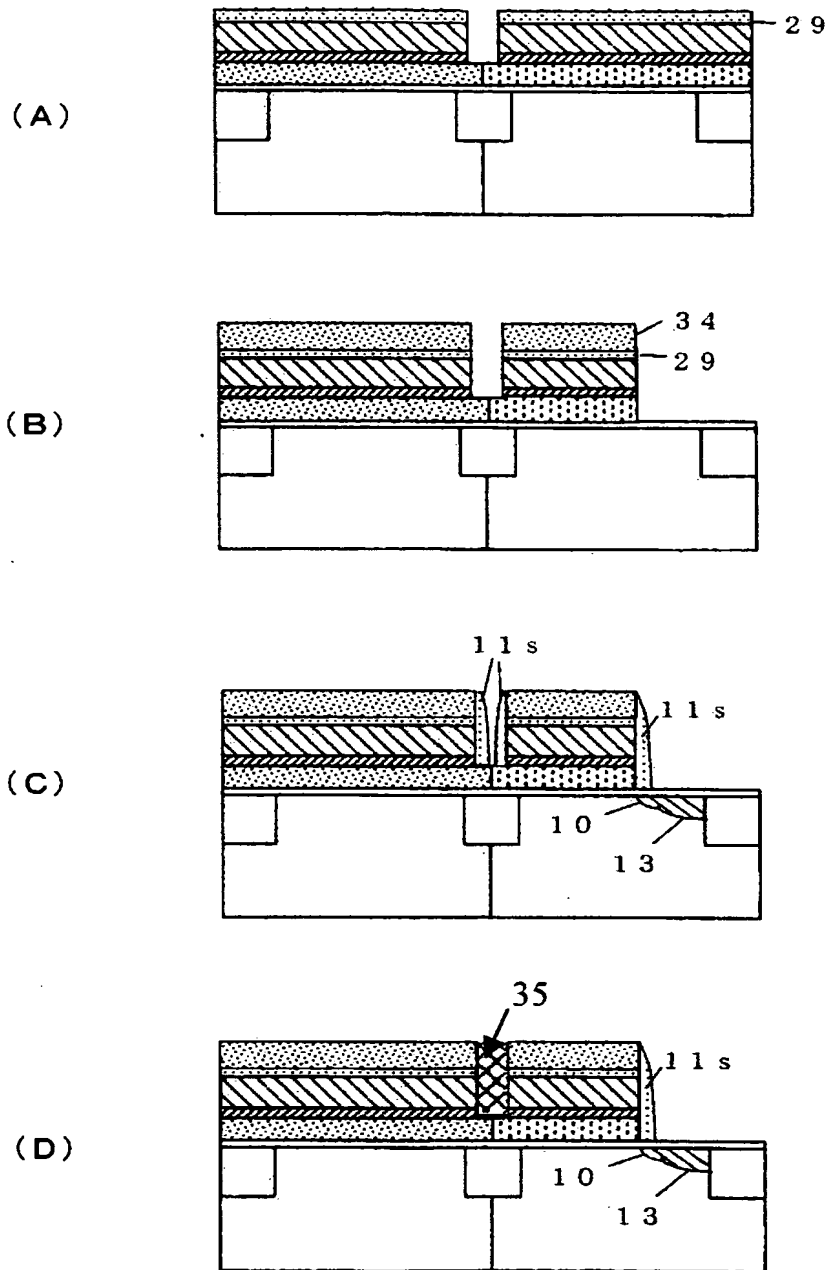


(E)



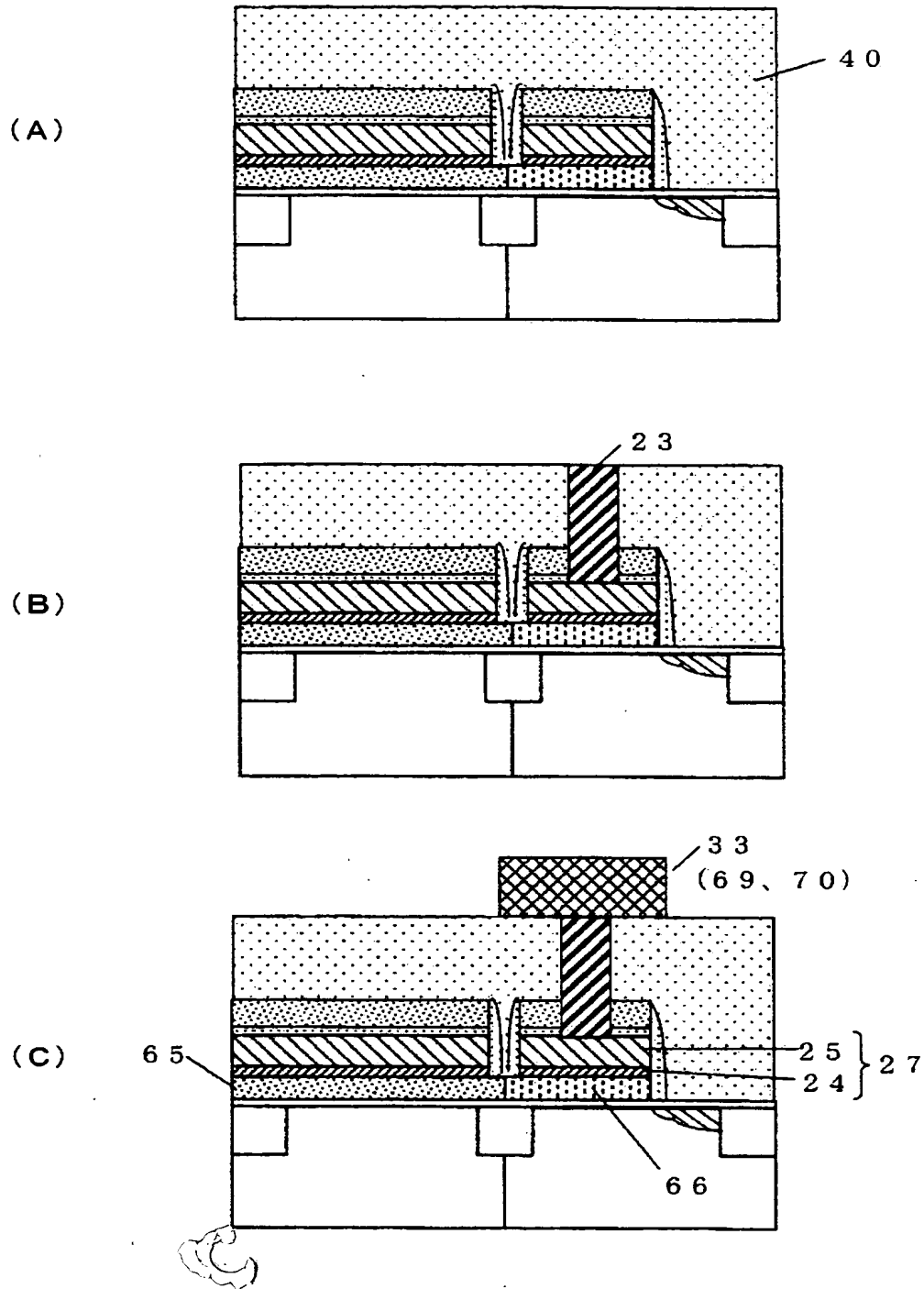
【図 2】

図 2



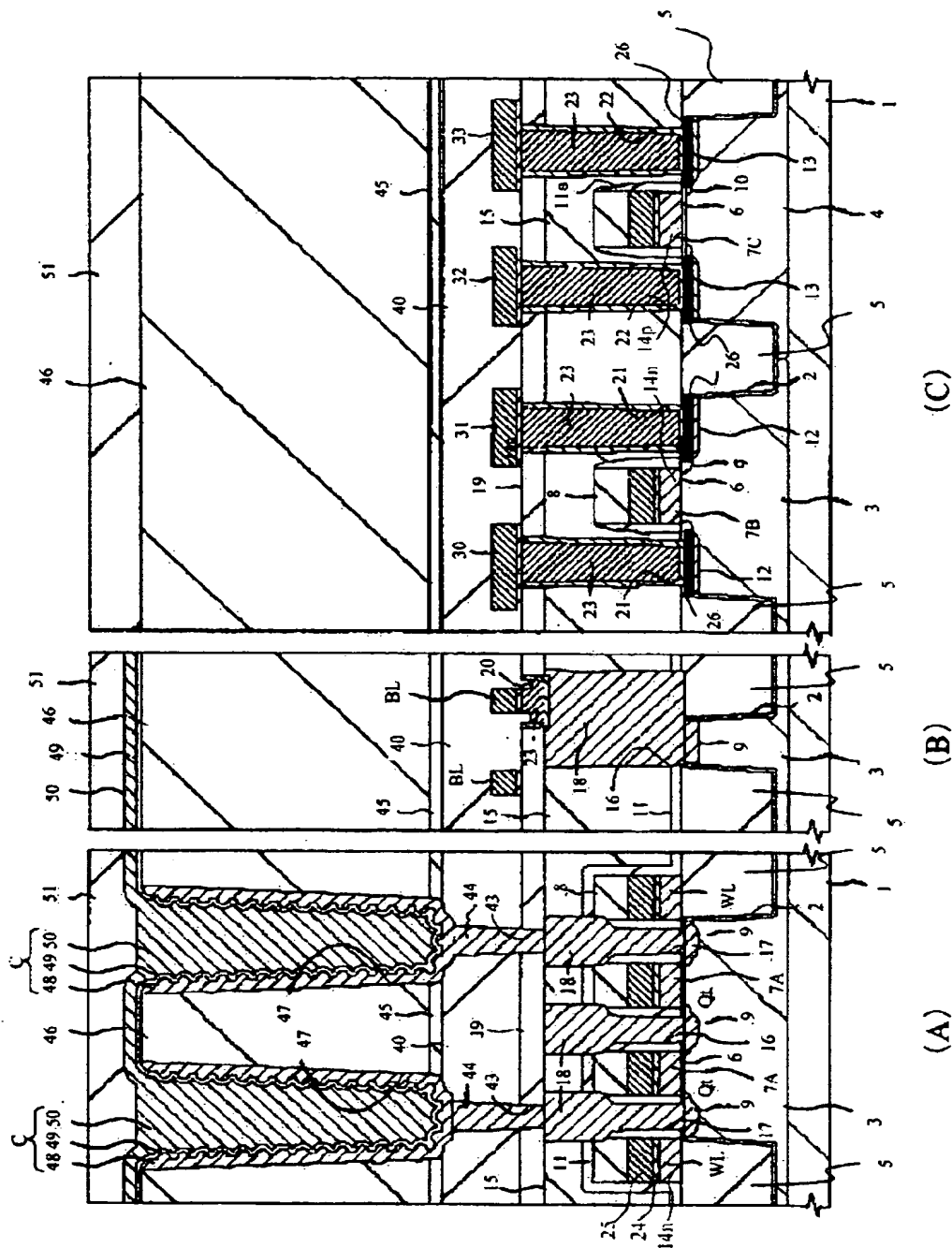
【図 3】

図 3

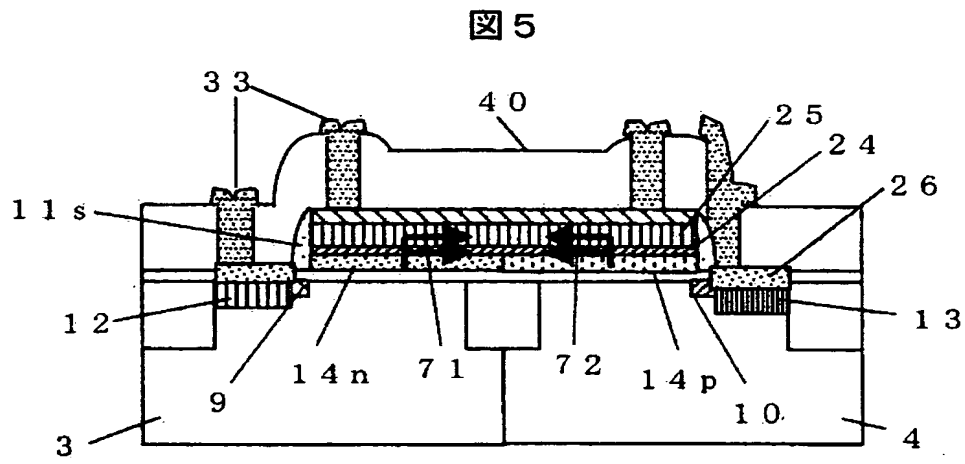


【図 4】

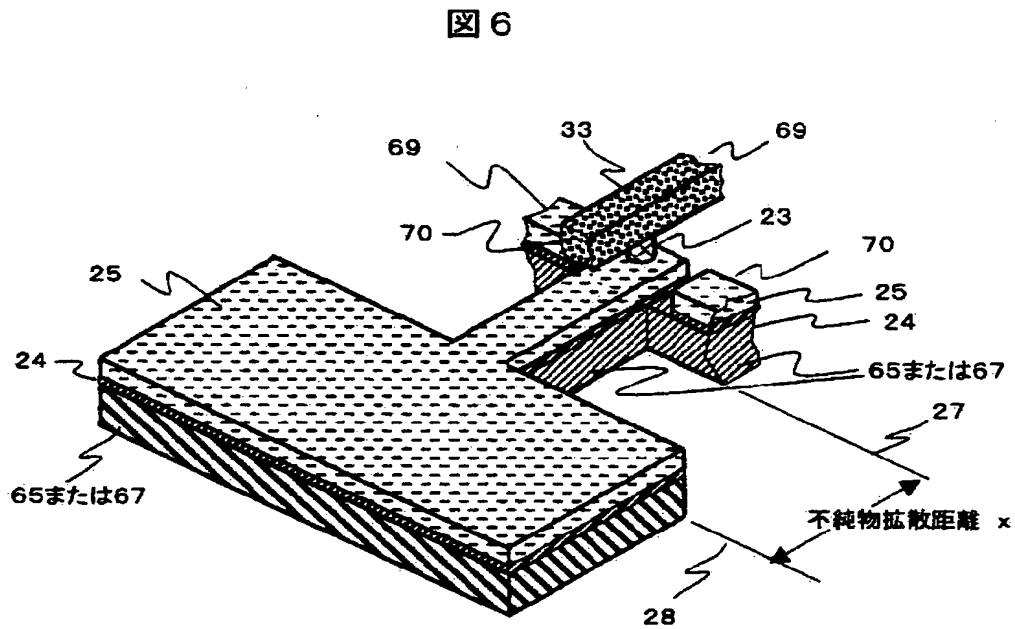
图 4



【図 5】

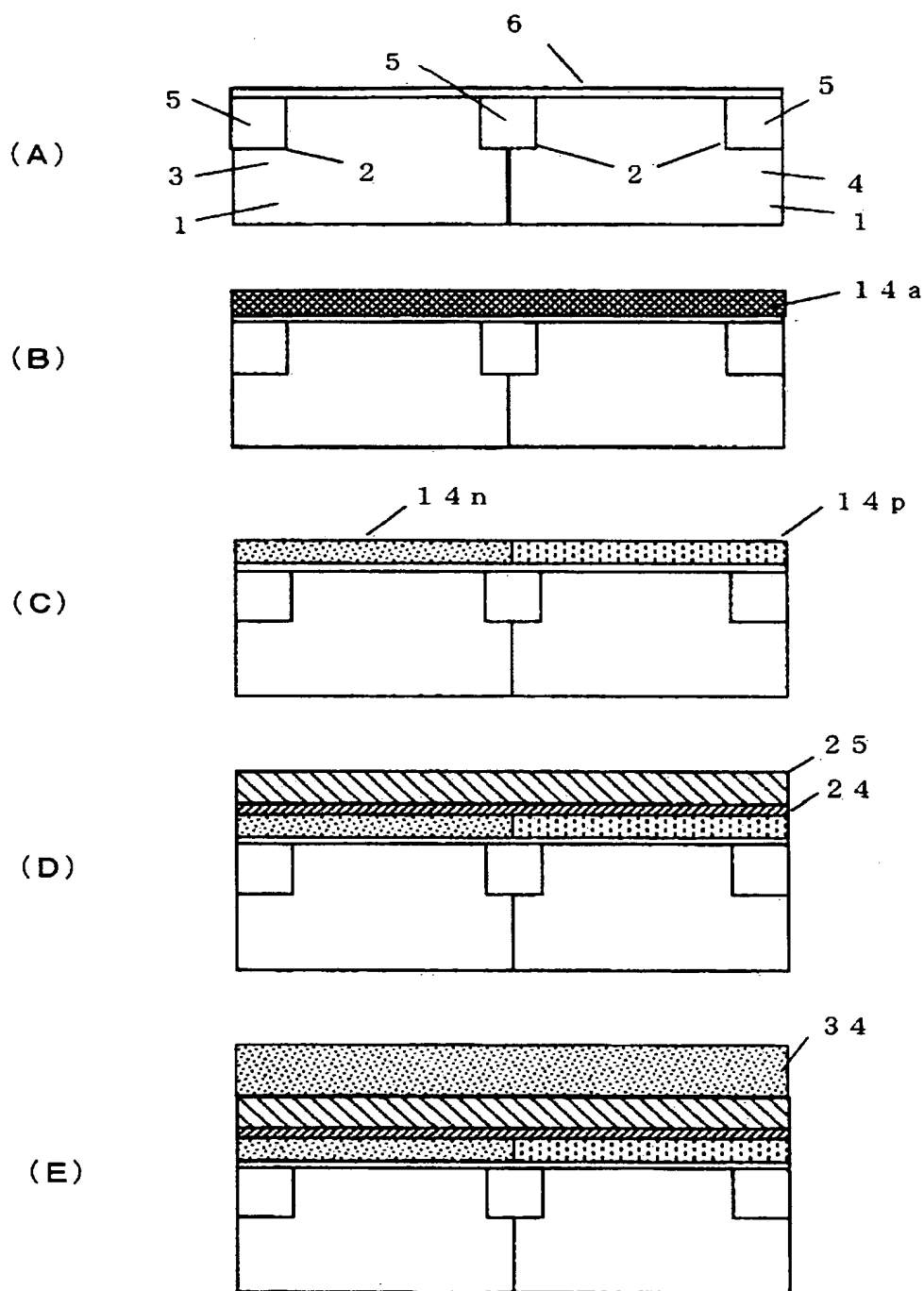


【図 6】



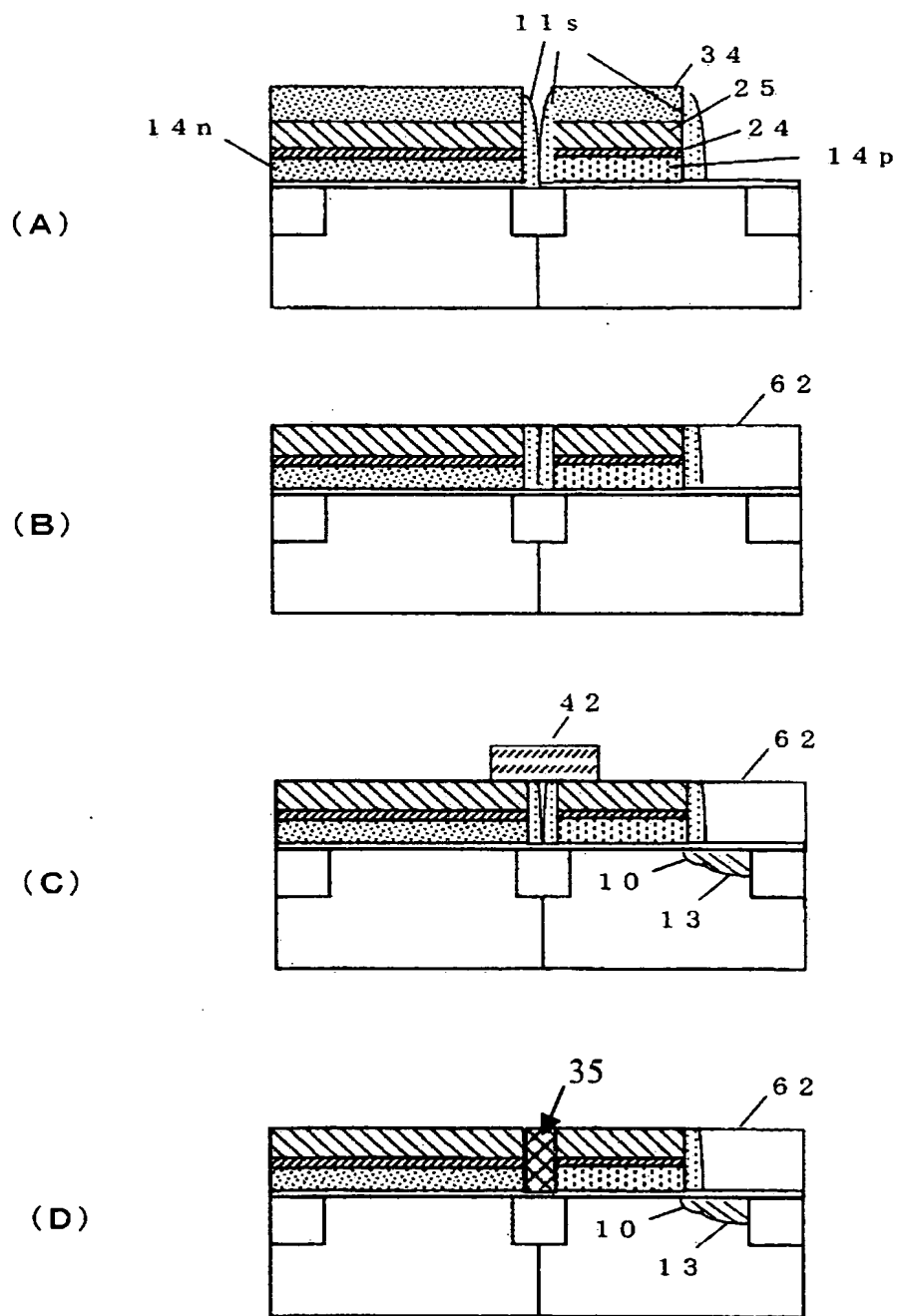
【図 7】

図 7



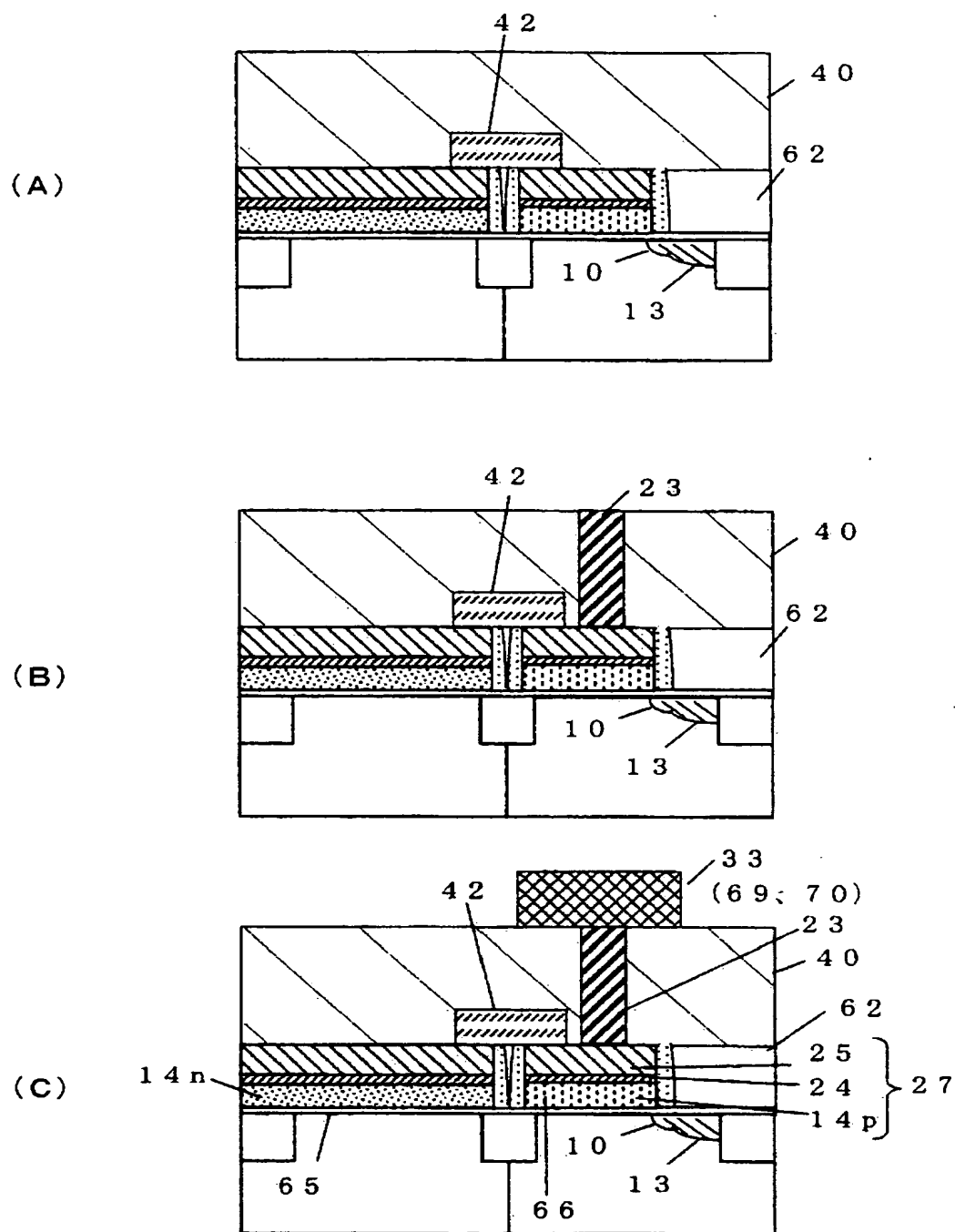
【図 8】

図 8



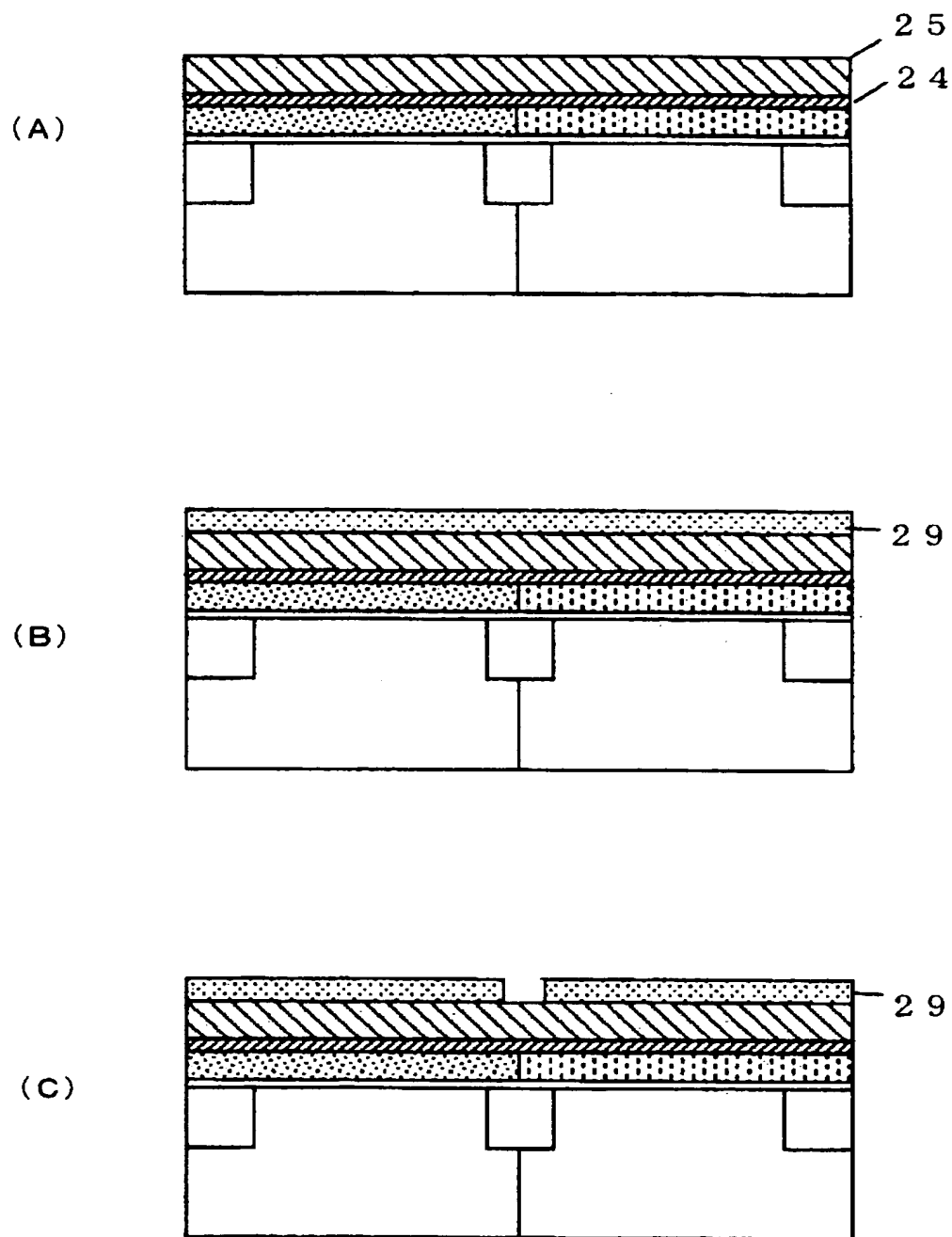
【図 9】

図 9



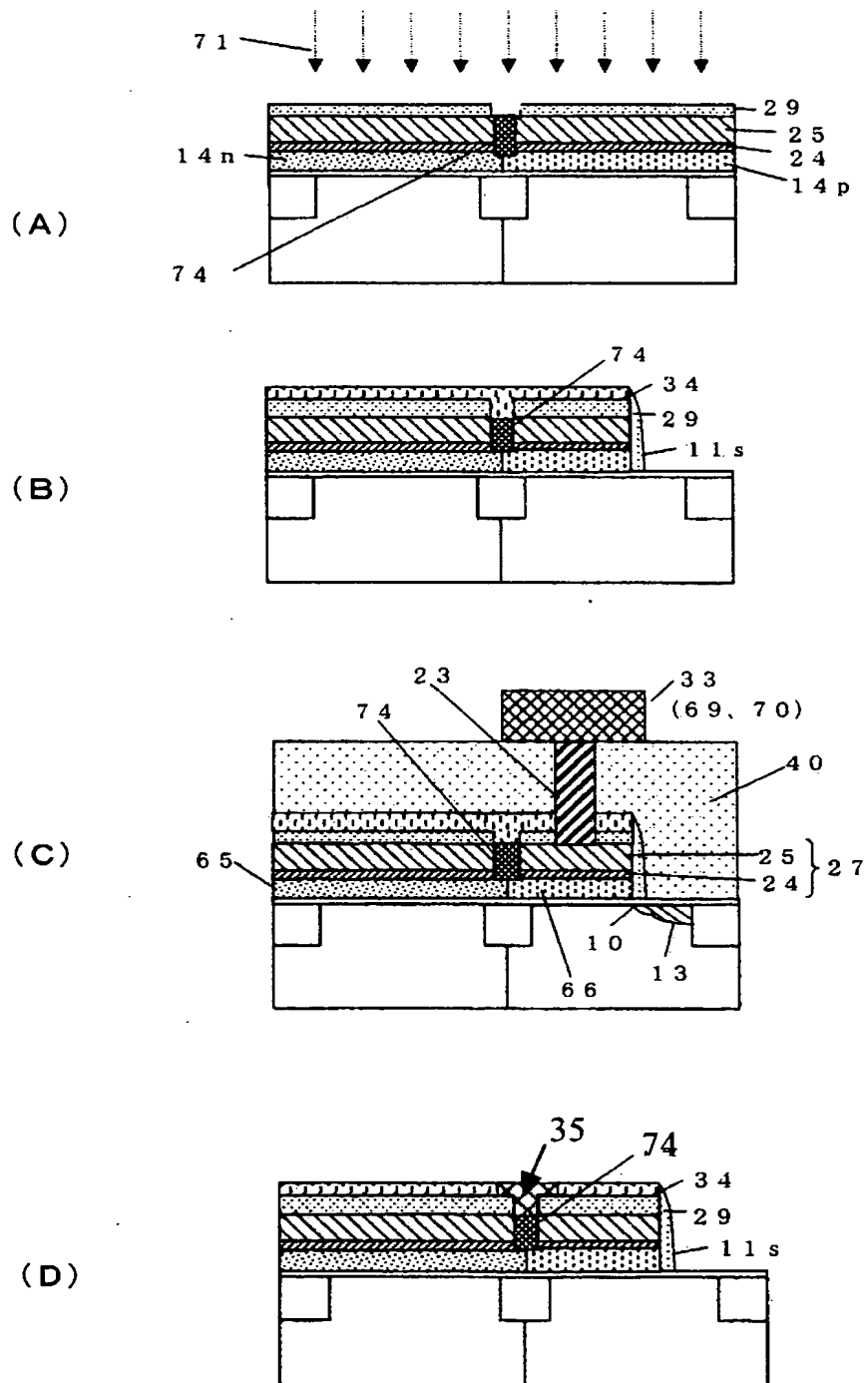
【図 10】

図 10



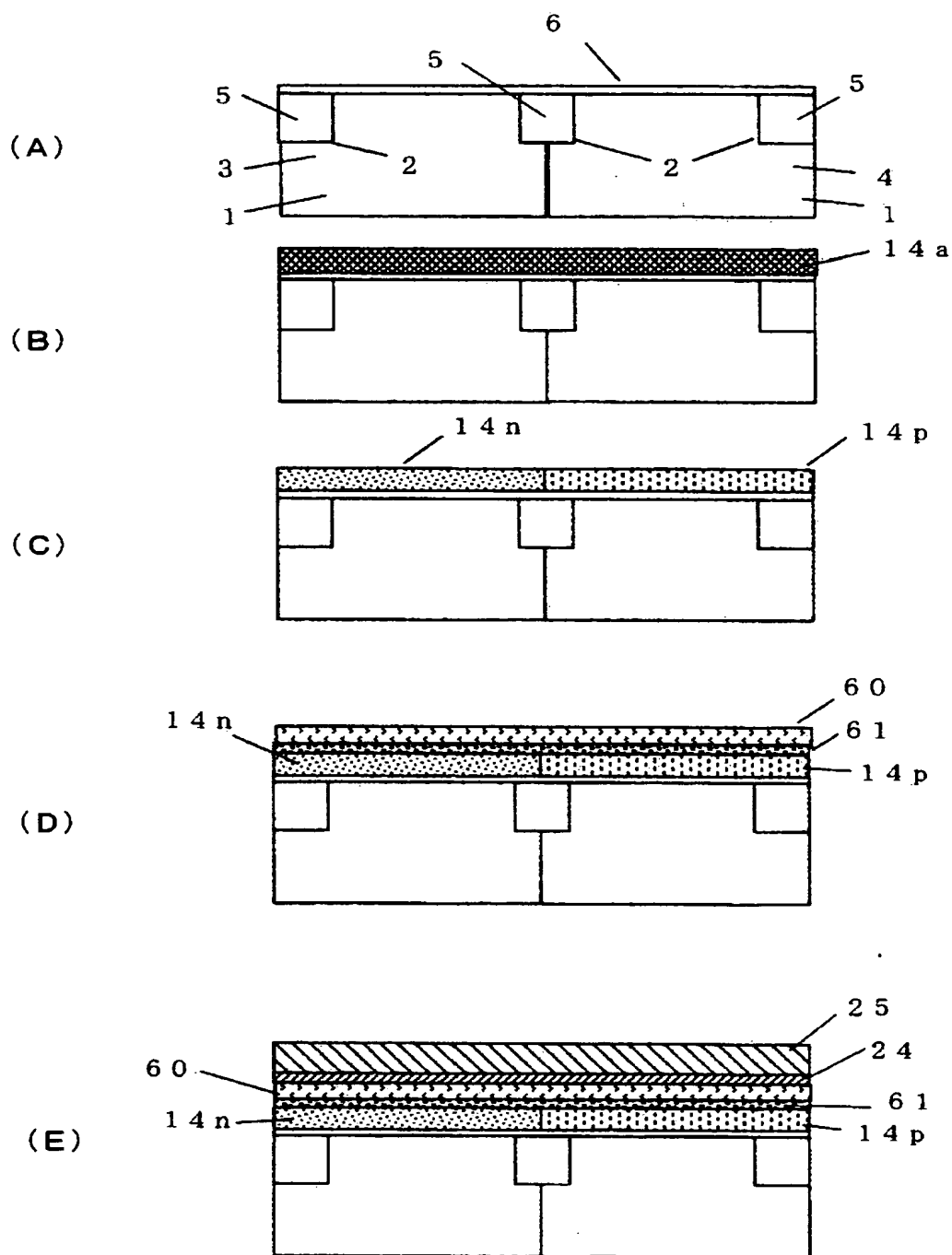
【図 11】

図 11



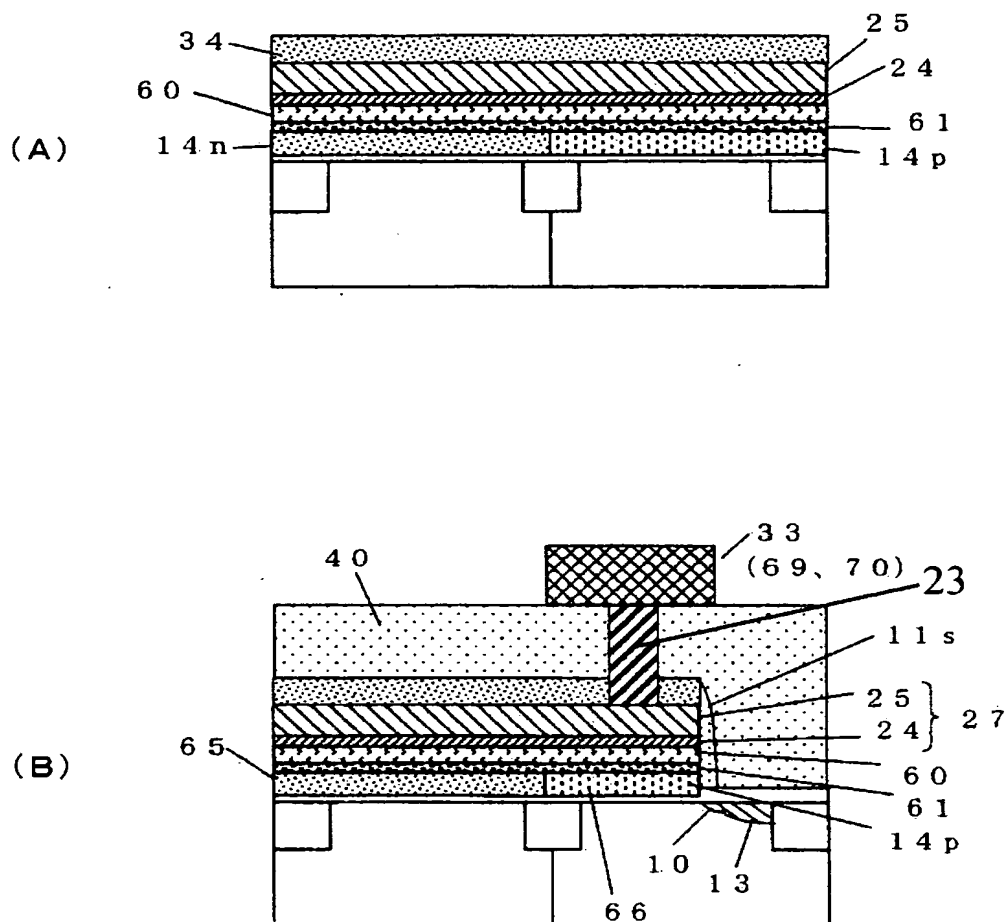
【図 12】

図 12

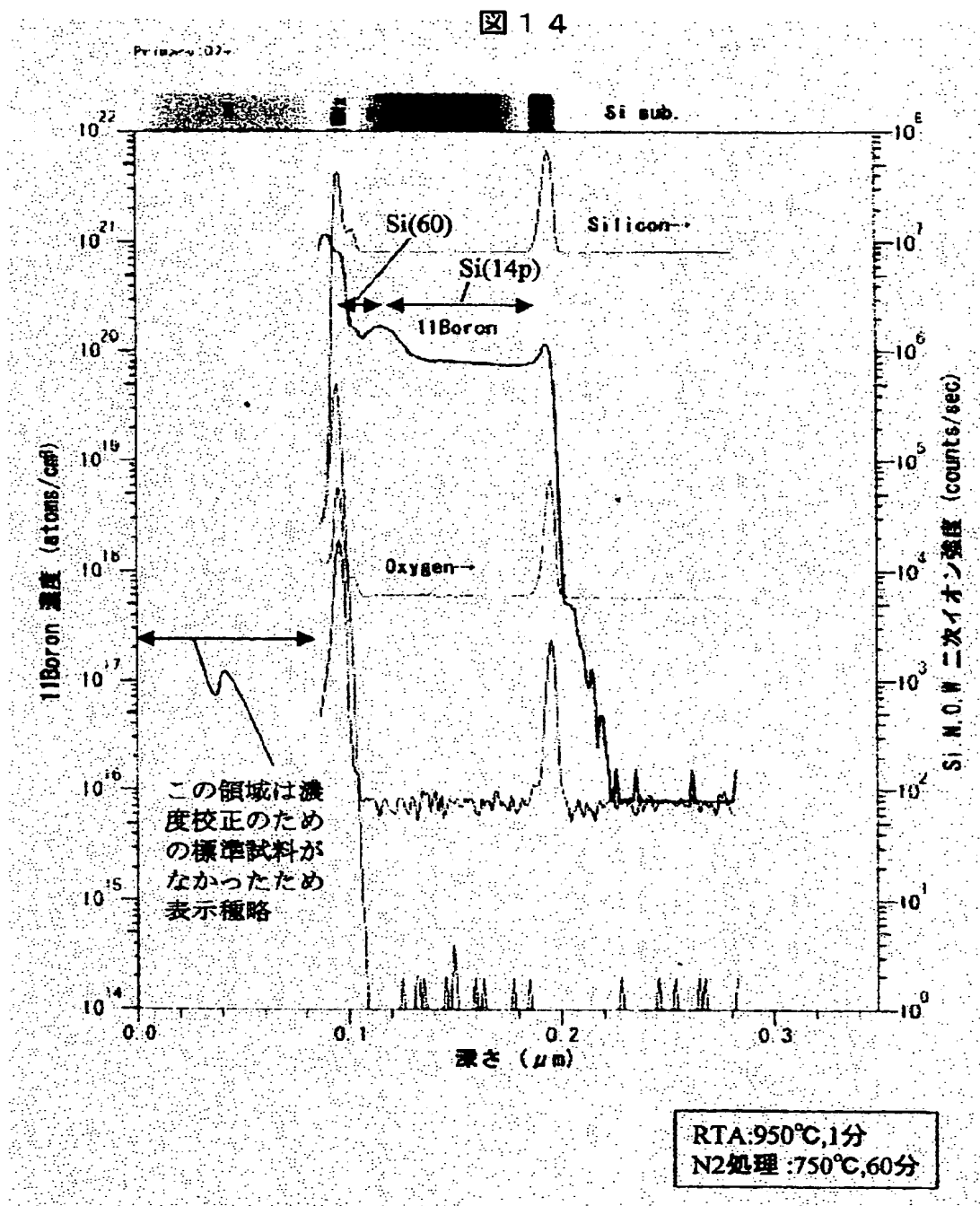


【図 13】

図 13

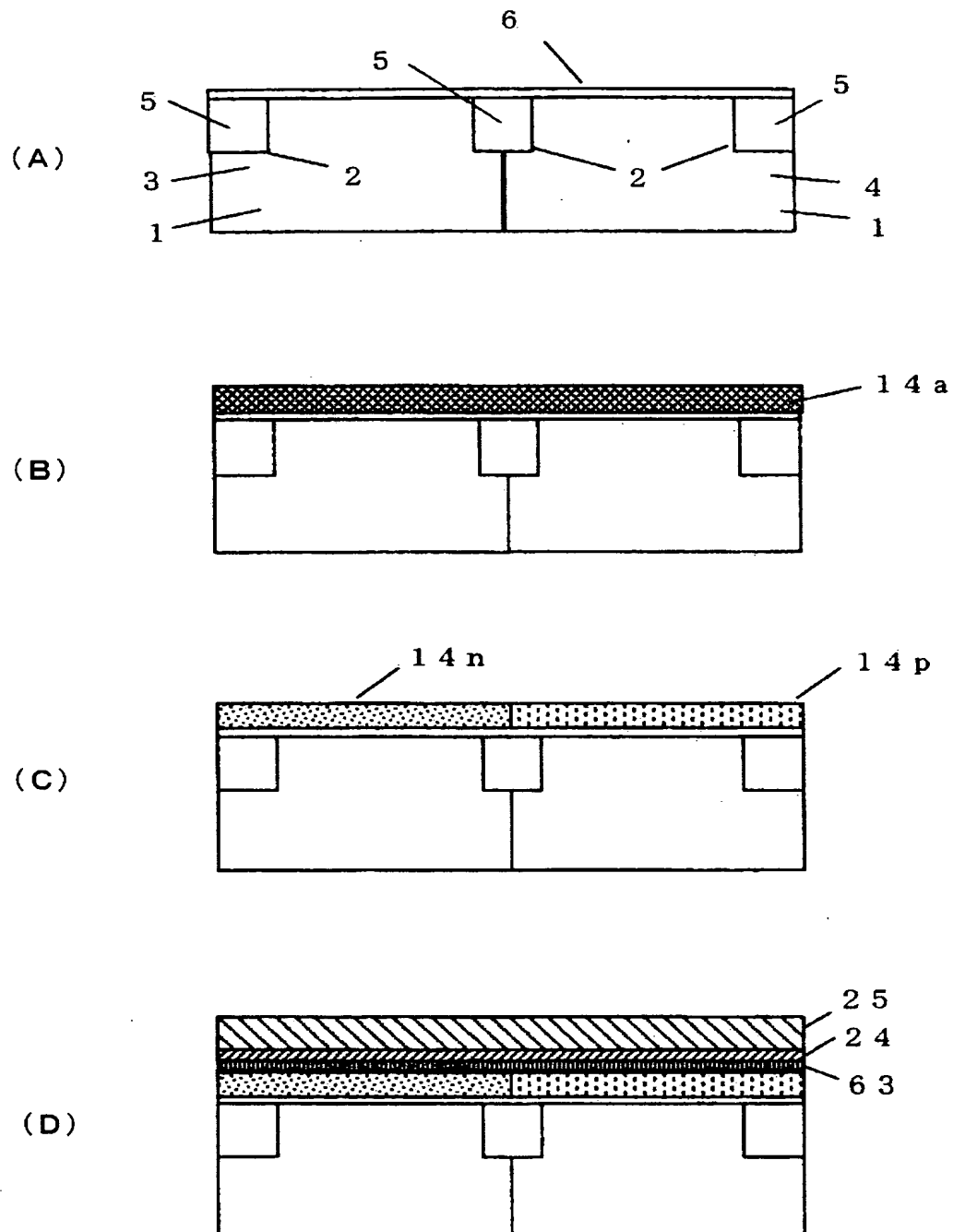


【図14】



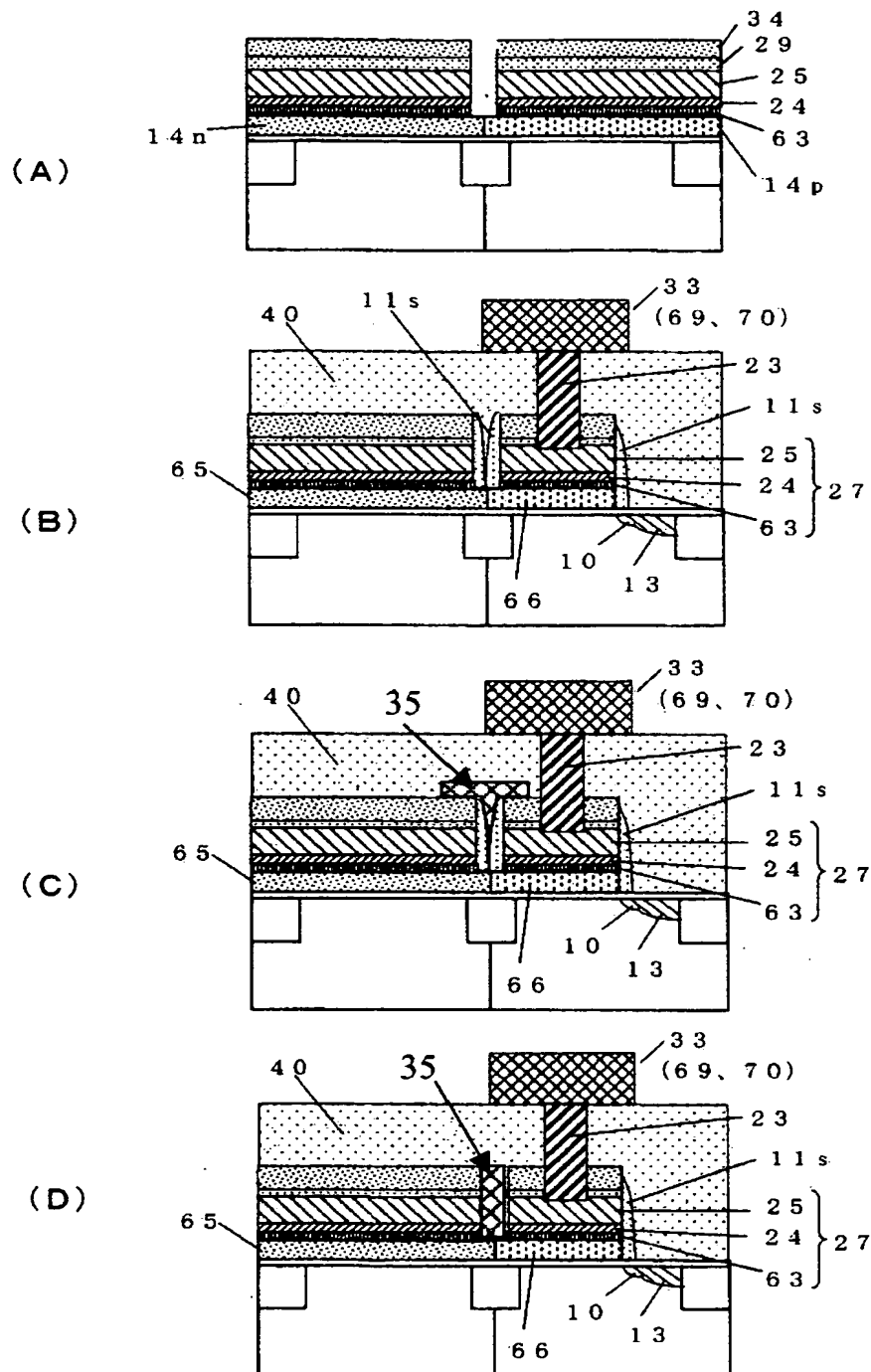
【図 15】

図 15



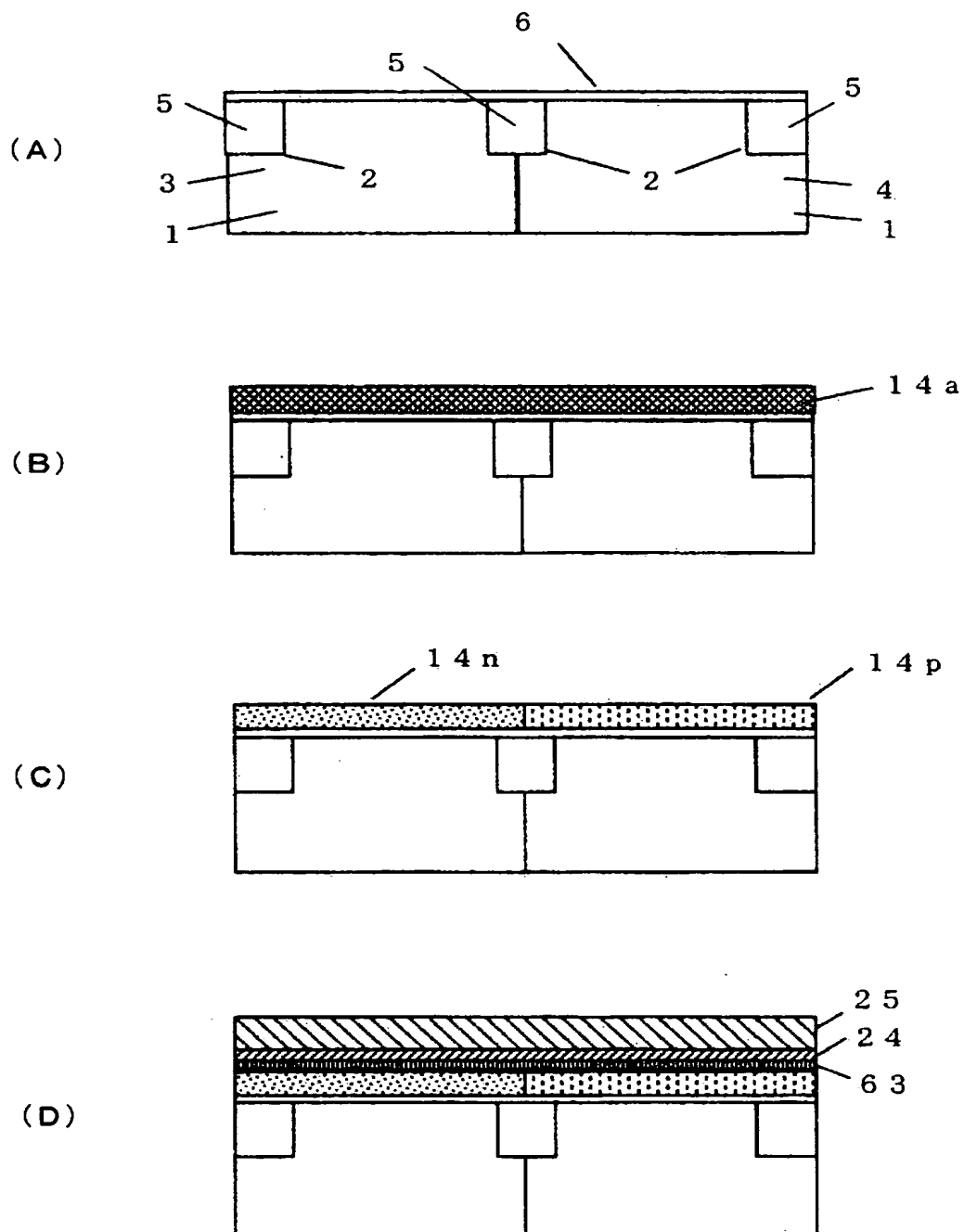
【図 16】

図 16



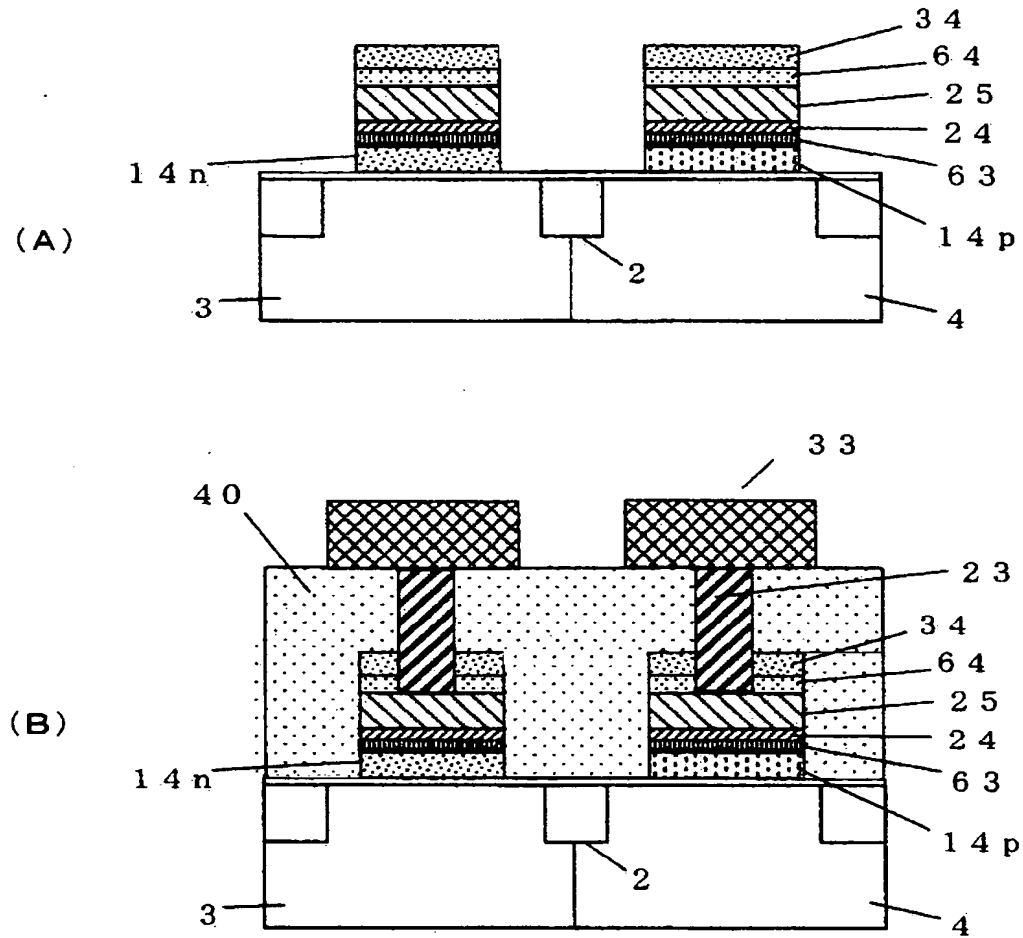
【図 17】

図 17

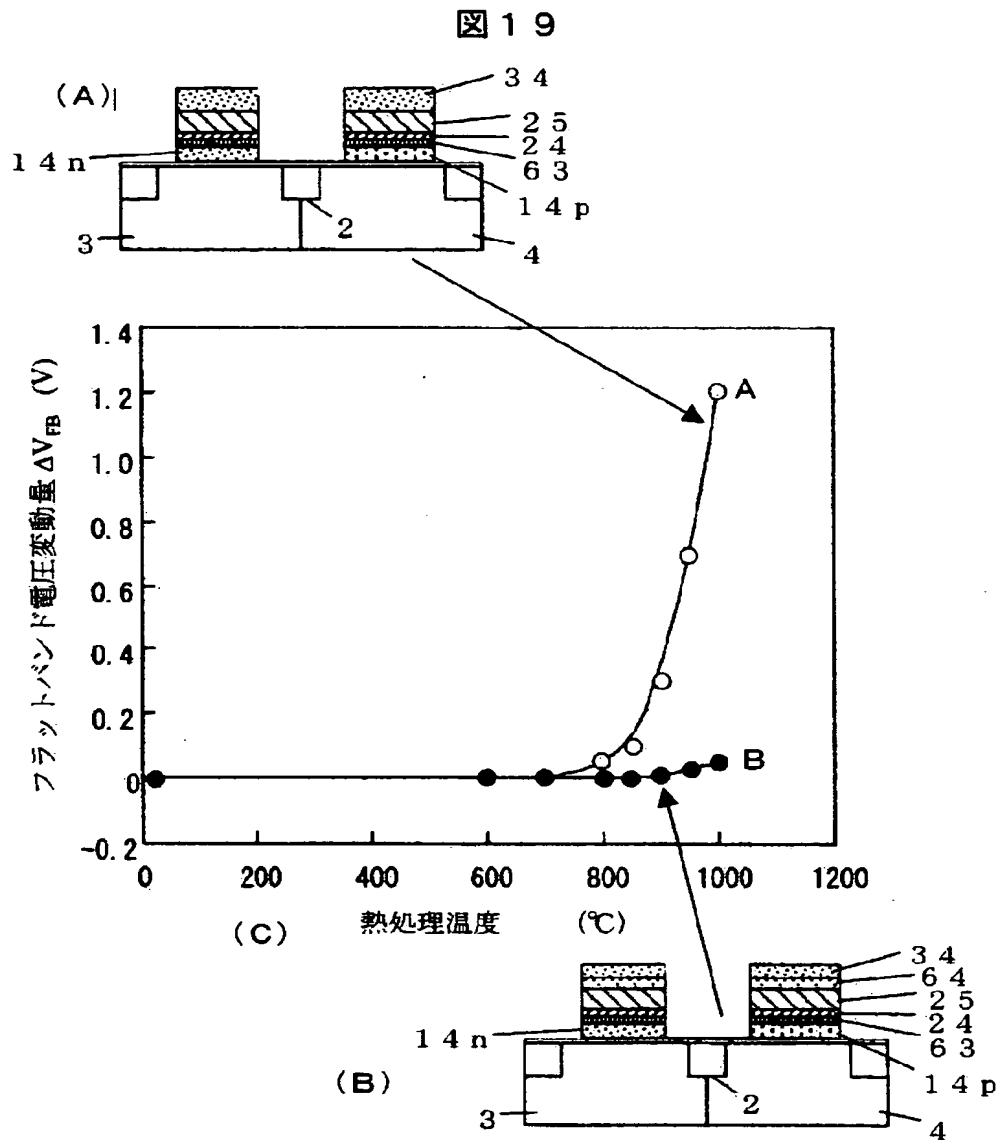


【図 18】

図 18

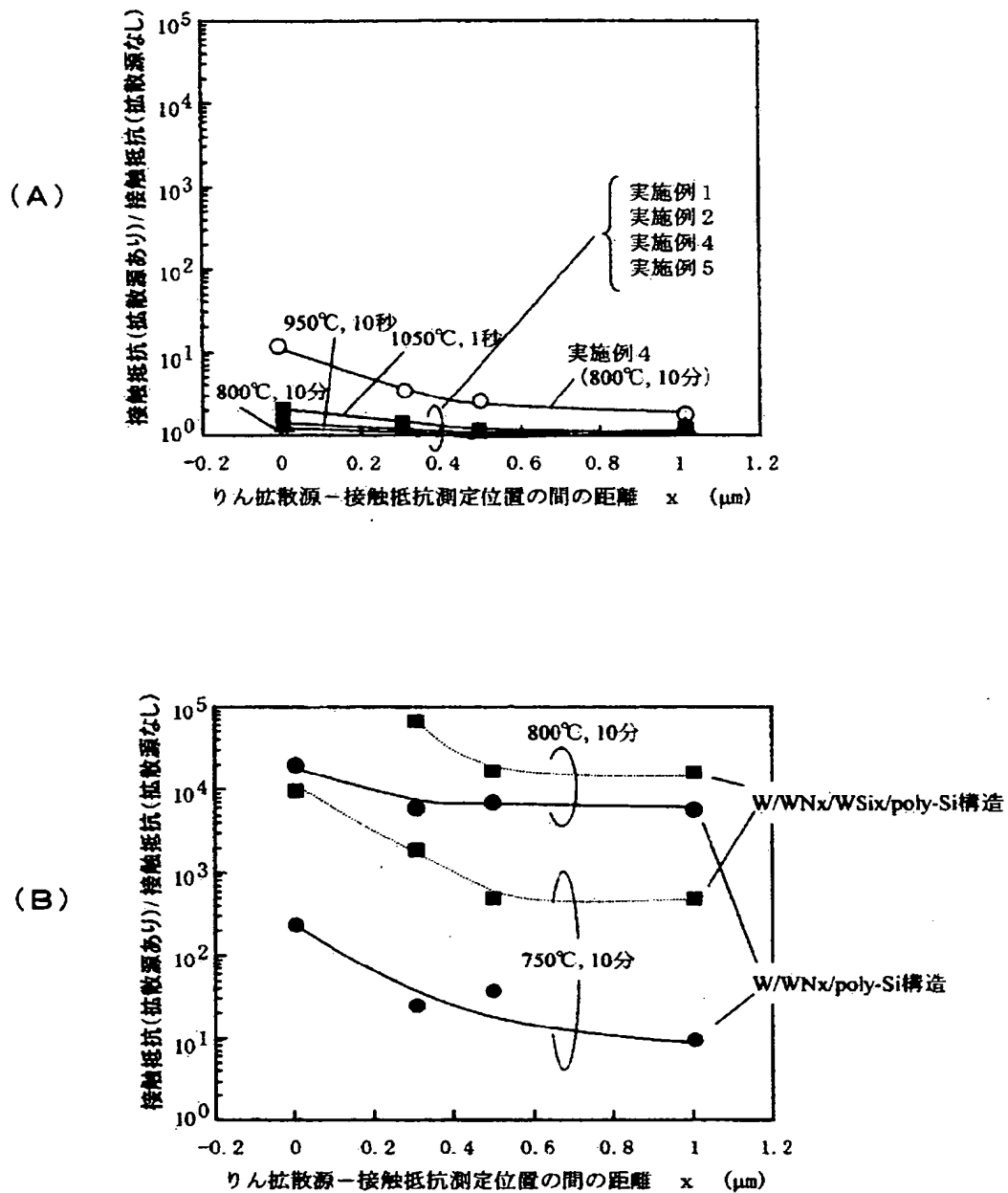


【図 19】



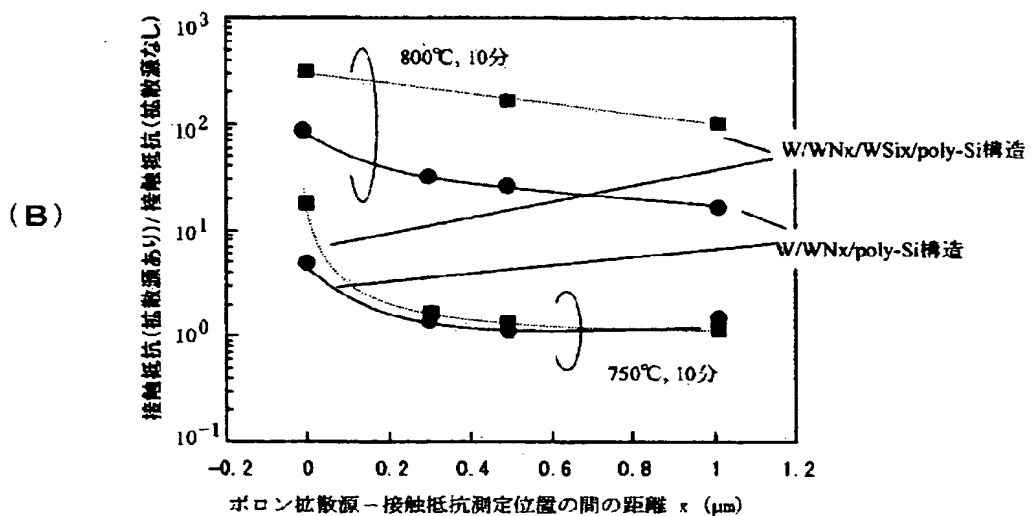
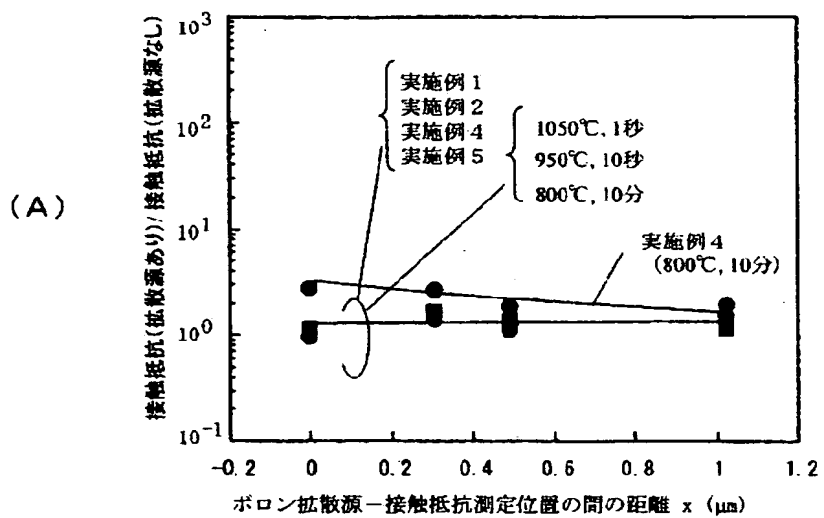
【図 20】

図 20



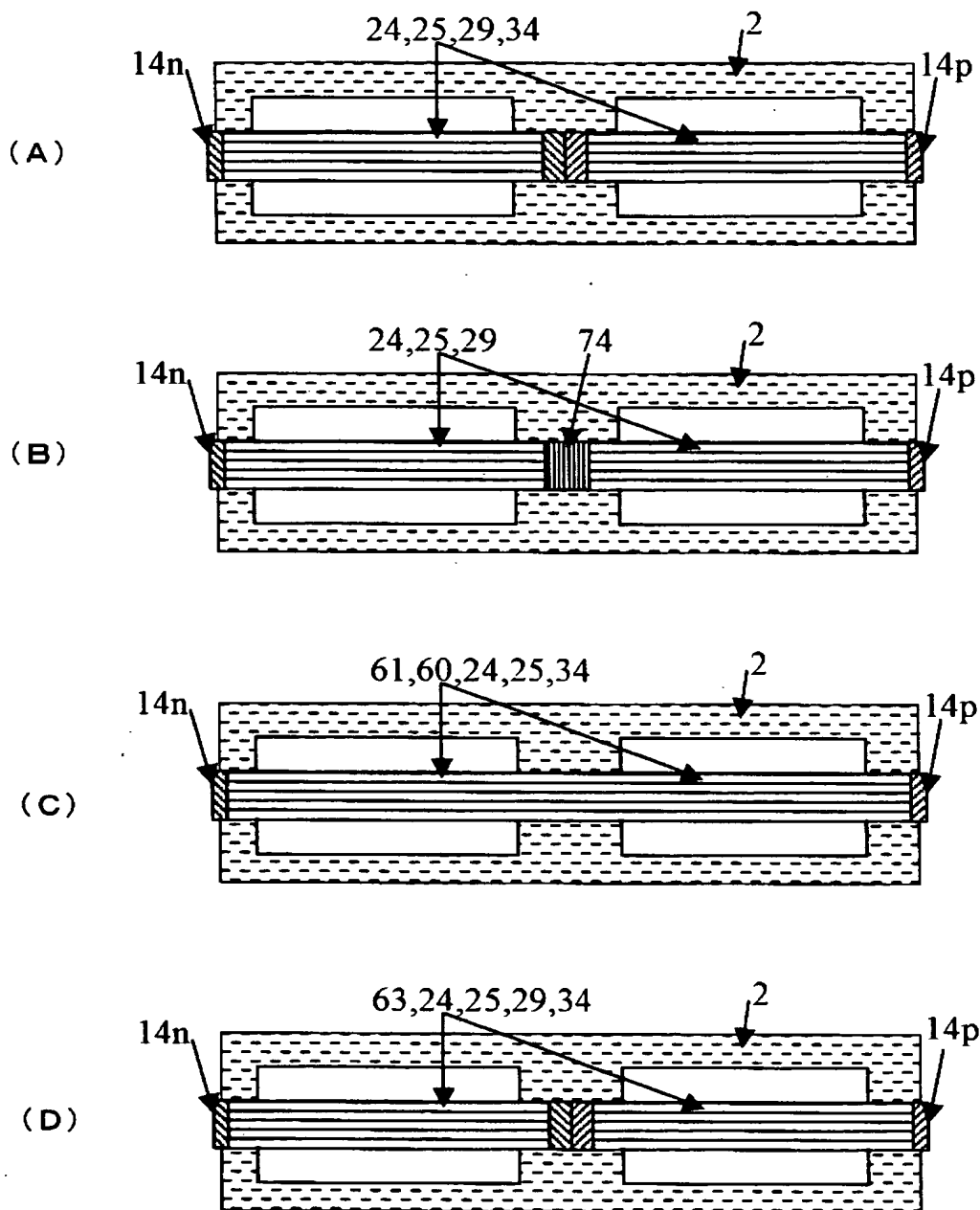
【図 21】

図 21



【図 2 2】

図 2 2



【書類名】

要約書

【要約】

【課題】 デュアルポリメタルゲート電極において、p型シリコンの不純物とn型シリコンの不純物がその上に形成した高融点金属や金属窒化膜などを介して相互に拡散することによりシリコン膜界面の接触抵抗が増大する。

【解決手段】 p型シリコンとn型シリコン境界上の高融点金属膜や高融点窒化物に炭素を注入するか切断するかあるいは絶縁膜で分離する。または不純物の相互拡散を遅くするような膜をシリコン膜界面に形成する。

【効果】 高融点金属膜や金属窒化膜などを介した不純物の相互拡散が抑止されるため、金属窒化膜とシリコン膜間の接触抵抗の増大やMISFETの閾値電圧変動が少なくなる。

【選択図】 図1

認定・付加情報

特許出願の番号

特願 2 0 0 3 - 1 1 0 9 9 7

受付番号

5 0 3 0 0 6 2 5 0 9 5

書類名

特許願

担当官

第五担当上席

0 0 9 4

作成日

平成 1 5 年 4 月 1 7 日

< 認定情報・付加情報 >

【提出日】

平成 15 年 4 月 16 日

次頁無

特願 2 0 0 3 - 1 1 0 9 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所